

PCT/JP 2004/004618

PCT  
960

31. 3. 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

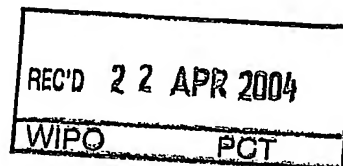
5204/004618

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 4 月 1 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 0 9 8 2 9 5  
[ST. 10/C]: [ J P 2 0 0 3 - 0 9 8 2 9 5 ]



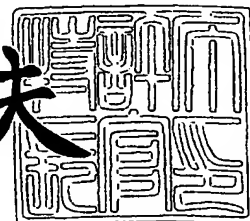
出 願 人  
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 3 月 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 1 5 6 7 9

【書類名】 特許願

【整理番号】 52700226

【提出日】 平成15年 4月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H04B 1/40  
H04Q 7/38

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 大賀 敬之

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715177

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理端末システム、及びその送受信方法

【特許請求の範囲】

【請求項 1】 情報処理端末と、

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備する情報処理端末システムであって、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、ネットワークからの受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド信号に変換し、

前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作する

情報処理端末システム。

【請求項 2】 請求項 1 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベ

ースバンド処理部に出力する制御部とを備え、

前記復調器は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する

情報処理端末システム。

【請求項3】 請求項1に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記復調器は、周波数を有する受信シンボルクロックを生成して前記クロック発生器に出力し、

前記クロック発生器は、前記復調器からの前記受信シンボルクロックに基づいて2次受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記2次受信シンボルクロックは、前記受信シンボルクロックに同期し、前記受信シンボルクロックの周波数とは異なる周波数を有する

情報処理端末システム。

【請求項4】 請求項1に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部と、

クロック発生器とを備え、



前記復調器は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記クロック発生器とに出力し、

前記クロック発生器は、前記復調器からの前記受信シンボルクロックを1次クロックとして入力し、前記1次クロックに同期した2次クロックを生成して前記クロックとして前記制御部に出力し、前記1次クロックが入力されない場合、自走発振により前記2次クロックを生成して前記クロックとして前記制御部に出力する

情報処理端末システム。

【請求項5】 請求項1に記載の情報処理端末システムにおいて、

前記情報処理端末は、  
インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記送受信処理部は、周波数を有する基準信号を生成して前記クロック発生器に出力し、

前記クロック発生器は、前記送受信処理部からの前記基準信号に基づいて、前記受信変調波信号の搬送波を再生して前記復調器に出力すると共に受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記受信シンボルクロックは、前記基準信号に同期し、

前記復調器と前記ベースバンド処理部と前記インターフェースと前記制御部とは前記受信シンボルクロックにより同期して動作する

情報処理端末システム。

【請求項6】 請求項1に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記クロック発生器は、自走発振により前記クロックを生成して前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する  
情報処理端末システム。

【請求項 7】 請求項 1 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して入力される前記受信デジタルベースバンド信号を前記受信データに変換し、前記送信データを前記送信デジタルベースバンド信号に変換して前記インターフェースを介して前記ベースバンド処理部に出力する制御部と、

クロック発生器とを備え、

前記クロック発生器は、自走発振により前記クロックを生成して前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する  
情報処理端末システム。

【請求項 8】 情報処理端末と、

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備し、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、前記ネットワークから受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信データ

に変換して前記情報処理端末に出力し、前記情報処理端末からの送信データを送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作する

情報処理端末システム。

【請求項 9】 請求項 8 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記復調器は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する

情報処理端末システム。

【請求項 10】 請求項 8 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記復調器は、周波数を有する受信シンボルクロックを生成して前記クロック発生器に出力し、

前記クロック発生器は、前記復調器からの前記受信シンボルクロックに基づいて 2 次受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記 2 次受信シンボルクロックは、前記受信シンボルクロックに同期し、前記受信シンボルクロックの周波数とは異なる周波数を有する

情報処理端末システム。

【請求項 11】 請求項 8 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部と、

クロック発生器とを備え、

前記復調器は、周波数を有する受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記クロック発生器とに出力し、

前記クロック発生器は、前記復調器からの前記受信シンボルクロックを 1 次クロックとして入力し、前記 1 次クロックに同期した 2 次クロックを生成して前記クロックとして前記制御部に出力し、前記 1 次クロックが入力されない場合、自走発振により前記 2 次クロックを生成して前記クロックとして前記制御部に出力する

情報処理端末システム。

【請求項 12】 請求項 8 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記送受信処理部は、周波数を有する基準信号を生成して前記クロック発生器に出力し、

前記クロック発生器は、前記送受信処理部からの前記基準信号に基づいて、前

記受信変調波信号の搬送波を再生して前記復調器に出力すると共に受信シンボルクロックを生成して前記クロックとして前記ベースバンド処理部と前記インターフェースと前記制御部とに出力し、

前記受信シンボルクロックは、前記基準信号に同期し、

前記復調器と前記ベースバンド処理部と前記インターフェースと前記制御部とは前記受信シンボルクロックにより同期して動作する

情報処理端末システム。

【請求項 13】 請求項 8 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部とを備え、

前記送受信装置は、更に、クロック発生器を備え、

前記クロック発生器は、自走発振により前記クロックを生成して前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する

情報処理端末システム。

【請求項 14】 請求項 8 に記載の情報処理端末システムにおいて、

前記情報処理端末は、

インターフェースと、

前記ベースバンド処理部から前記インターフェースを介して前記受信データを入力し、前記送信データを前記インターフェースを介して前記ベースバンド処理部に出力する制御部と、

クロック発生器とを備え、

前記クロック発生器は、自走発振により前記クロックを生成して前記ベースバンド処理部と前記インターフェースと前記制御部とに出力する

情報処理端末システム。

【請求項 15】 情報処理端末と、

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベース

バンド処理部とを備えた送受信装置とを具備する情報処理端末システムであって

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、前記ネットワークからの受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド信号に変換する

情報処理端末システム。

【請求項 16】 着脱可能な送受信装置が装着された情報処理端末の送受信方法であって、

(a) 前記送受信装置において、前記ネットワークからの受信変調波信号を復調するステップと、

(b) 前記送受信装置において、前記復調された受信変調波信号を受信アナログベースバンド信号に変換するステップと、

(c) 前記送受信装置において、前記変換された受信アナログベースバンド信号をクロックに同期して受信デジタルベースバンド信号に変換するステップと、

(d) 前記情報処理端末において、前記変換された受信デジタルベースバンド信号を前記クロックに同期して受信データに変換するステップと、

(e) 前記情報処理端末において、送信データを前記クロックに同期して送信デジタルベースバンド信号に変換するステップと、

(f) 前記送受信装置において、前記変換された送信デジタルベースバンド信

号を前記クロックに同期して送信アナログベースバンド信号に変換するステップと、

(g) 前記送受信装置において、前記変換された送信アナログベースバンド信号を送信変調波信号に変換するステップと、

(h) 前記送受信装置において、前記変換された送信変調波信号を前記ネットワークに送出するステップとを有する情報処理端末の送受信方法。

【請求項 17】 着脱可能な送受信装置が装着された情報処理端末の送受信方法であって、

(a) 前記送受信装置において、前記ネットワークからの受信変調波信号を復調するステップと、

(b) 前記送受信装置において、前記復調された受信変調波信号を受信アナログベースバンド信号に変換するステップと、

(c) 前記送受信装置において、前記変換された受信アナログベースバンド信号をクロックに同期して受信データに変換するステップと、

(d) 前記情報処理端末において、前記変換された受信データを前記クロックに同期して入力するステップと、

(e) 前記情報処理端末において、送信データを前記クロックに同期して前記送受信装置に出力するステップと、

(f) 前記送受信装置において、前記送信データを前記クロックに同期して送信アナログベースバンド信号に変換するステップと、

(g) 前記送受信装置において、前記変換された送信アナログベースバンド信号を送信変調波信号に変換するステップと、

(h) 前記送受信装置において、前記変換された送信変調波信号を前記ネットワークに送出するステップとを有する情報処理端末の送受信方法。

【請求項 18】 着脱可能な送受信装置が装着された情報処理端末の送受信方法であって、

(a) 前記送受信装置において、前記ネットワークからの受信変調波信号を復調するステップと、

(b) 前記送受信装置において、前記復調された受信変調波信号を受信アナロ

グベースバンド信号に変換するステップと、

(c) 前記送受信装置において、前記変換された受信アナログベースバンド信号を受信デジタルベースバンド信号に変換するステップと、

(d) 前記情報処理端末において、前記変換された受信デジタルベースバンド信号を受信データに変換するステップと、

(e) 前記情報処理端末において、送信データを前記送信デジタルベースバンド信号に変換するステップと、

(f) 前記送受信装置において、前記変換された送信デジタルベースバンド信号を送信アナログベースバンド信号に変換するステップと、

(g) 前記送受信装置において、前記変換された送信アナログベースバンド信号を送信変調波信号に変換するステップと、

(h) 前記送受信装置において、前記変換された送信変調波信号を前記ネットワークに送出するステップとを有する情報処理端末の送受信方法。

【請求項 19】 情報処理端末と、

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備する情報処理端末システムに使用する前記送受信装置であって、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、ネットワークからの受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド



信号に変換し、

前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作する

情報処理端末システムに使用する送受信装置。

【請求項 20】 情報処理端末と、

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備する情報処理端末システムに使用する前記情報処理端末であって、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、ネットワークからの受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド信号に変換し、

前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作する

情報処理端末システムに使用する情報処理端末。

【請求項 21】 情報処理端末と、

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備する情報処理端末システムに使用する前記送受信装置であって、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、前記ネットワークから受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信データに変換して前記情報処理端末に出力し、前記情報処理端末からの送信データを送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作する

情報処理端末システムに使用する送受信装置。

【請求項 22】 情報処理端末と、

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備する情報処理端末システムに使用する前記情報処理端末であって、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、前記ネットワークから受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信データに変換して前記情報処理端末に出力し、前記情報処理端末からの送信データを送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記ベースバンド処理部と前記情報処理端末とは、クロックにより同期して動作する

情報処理端末システムに使用する情報処理端末。

**【請求項 23】 情報処理端末と、**

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備する情報処理端末システムに使用する前記送受信装置であって、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、前記ネットワークからの受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド信号に変換する

情報処理端末システムに使用する送受信装置。

**【請求項 24】 情報処理端末と、**

前記情報処理端末に着脱可能であり、送受信処理部と復調器と変調器とベースバンド処理部とを備えた送受信装置とを具備する情報処理端末システムに使用する前記情報処理端末であって、

前記送受信装置が前記情報処理端末に装着されているときに、

前記送受信処理部は、前記ネットワークからの受信変調波信号を前記復調器に出力し、前記変調器からの送信変調波信号を前記ネットワークに送出し、

前記復調器は、前記送受信処理部からの前記受信変調波信号を受信アナログベースバンド信号に変換し、

前記ベースバンド処理部は、前記受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、前記情報処理端末からの送信デジタルベースバン

ド信号を送信アナログベースバンド信号に変換し、

前記変調器は、前記送信アナログベースバンド信号を前記送信変調波信号に変換し、

前記情報処理端末は、前記ベースバンド処理部からの前記受信デジタルベースバンド信号を受信データに変換し、送信データを前記送信デジタルベースバンド信号に変換する

情報処理端末システムに使用する情報処理端末。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、送受信装置である通信装置と情報処理端末とを複合した情報処理端末システムとその送受信方法に関する。

##### 【0002】

#### 【従来の技術】

情報処理端末を用いたネットワークへの接続が盛んに行われている。これに伴い、近年では、無線を用いてネットワークへ接続する通信方式が開発されている（特許文献1～5参照）。

##### 【0003】

上記の通信方式として、特に、無線を用いてネットワークへ接続する通信装置は、マイクロプロセッサが内蔵された情報処理端末との親和性がよく、情報処理端末の一部として組み込まれる場合が多い。したがって、無線インターフェースに要求される条件として、一般の通信装置に要求される条件に加え、情報処理端末に求められる条件を満たす必要がある。具体的には、小型であること、低消費電力であること、発熱が小さいことである。一方、伝送容量の更なる大容量化が求められている。

##### 【0004】

第1従来例の情報処理端末システムとして特許文献1に「ソフトウェア無線装置」が記載されている。この第1従来例の情報処理端末システムは、信号処理部（CPU：Central Processing Unit）、アンテナ制御

部、RF/IF部、D/A変換器、A/D変換器を具備する。

この例では、信号処理部(CPU)は、専ら通信機能ブロックを制御する目的で設けられており、情報処理端末の本来の使用目的とされる一般的な情報処理(例えば表計算や文書作成など通信以外の処理)を行う目的で情報処理端末システムに搭載されている訳ではない。このため、第1従来例の情報処理端末システムでは、信号処理部(CPU)がアンテナ制御部、RF/IF部、D/A変換器、A/D変換器等と専用の信号線で密に接続されており、それらを容易に取り外せる構造になっていない。

しかし、ネットワークに接続しないときには通信装置の機能は使用しないのであるから、情報処理端末システムを情報処理端末として利用するときの携帯性を損ねないためには、オプションとして通信装置を容易に着脱できる構造であることが望ましい。

#### 【0005】

図27は、第2従来例の情報処理端末システムとしてマイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。第2従来例の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部17と、マイクロプロセッサ-信号処理部18とを具備する。アンテナ51とマイクロ波送受信部17とは、送受信装置(通信装置)である。マイクロプロセッサ-信号処理部18は、情報処理端末である。

マイクロ波送受信部17は、受信時に、アンテナ51を介して受信した、変調波である受信高周波信号{受信RF(Radio Frequency)信号}を復調し受信データに変換してマイクロプロセッサ-信号処理部18に出力する。マイクロ波送受信部17は、送信時に、マイクロプロセッサ-信号処理部18からの送信データを、変調波である送信高周波信号(送信RF信号)に変換してアンテナ51を介して送信する。

#### 【0006】

このマイクロ波送受信部17は、高周波処理部21、変復調処理部89を備えている。

高周波処理部21は、受信時に、アンテナ51を介して受信した受信RF信号

を復調し受信中間周波信号 {受信 I F (Intermediate Frequency) 信号} に変換して変復調処理部 89 に出力する。高周波処理部 21 は、送信時に、変復調処理部 89 からの送信 I F 信号を送信 R F 信号に変換してアンテナ 51 を介して送信する。

変復調処理部 89 は、受信時に、高周波処理部 21 からの受信 I F 信号を受信データに変換してマイクロプロセッサ信号処理部 18 に出力する。変復調処理部 89 は、送信時に、マイクロプロセッサ信号処理部 18 からの送信データを送信 I F 信号に変換して高周波処理部 21 に出力する。

#### 【0007】

高周波処理部 21 は、デュープレクサ (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、56、60、62、周波数変換器 (CONV) 55、61、局部発振器 (OSC) 57、58、電力増幅器 (PA) 59 を備えている。

デュープレクサ (DUP) 52 は、受信信号帯域通過フィルター (図示しない)、送信信号帯域通過フィルター (図示しない) を備えている。

局部発振器 (OSC) 57、58 は、局部発振信号を生成する。

#### 【0008】

変復調処理部 89 は、復調器 (DEM) 70、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル (A/D) 変換器 24-1、24-2、デジタル/アナログ (D/A) 変換器 25-1、25-2、クロック発生器 (CLOCK GEN) 27、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース (I/F) 73 を備えている。

復調器 (DEM) 70 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。

マイクロ波送受信部インターフェース 73 は、受信データバッファ回路 (図示しない)、送信データバッファ回路 (図示しない)、識別情報処理回路 (図示しない)、タイミング調整回路 (図示しない) を備えている。

#### 【0009】

マイクロプロセッサ信号処理部18は、クロック発生器(CLOCK GEN)30、マイクロプロセッサ信号処理部インターフェース(I/F)74、CPUであるマイクロプロセッサ信号処理回路75を備えている。

クロック発生器30は、基準クロックを生成してマイクロプロセッサ信号処理部インターフェース74、マイクロプロセッサ信号処理回路(CPU)75に出力し、マイクロプロセッサ信号処理部インターフェース74は、この基準クロックに同期したバスクロック信号をマイクロ波送受信部インターフェース73に出力する。

マイクロプロセッサ信号処理部インターフェース74は、受信データバッファ回路(図示しない)、送信データバッファ回路(図示しない)、タイミング調整回路(図示しない)を備えている。

マイクロプロセッサ信号処理回路(CPU)75は、マイクロプロセッサ(図示しない)、メモリ(図示しない)、入出力装置(図示しない)等を含み、そのメモリには、複数のプログラム(図示しない)が記憶されている。

#### 【0010】

マイクロプロセッサ信号処理回路(CPU)75は、メモリに記憶された複数のプログラムのうちの一般プログラム(例えば表計算プログラムや文書作成プログラム)(図示しない)により、一般的な情報処理(通信機能以外の処理)を行う。第2従来例の情報処理端末システムは、マイクロ波送受信部17を着脱できる構造である。一般的な情報処理を行う場合、マイクロ波送受信部17の機能が使用されない。このため、ユーザは、マイクロ波送受信部17とマイクロプロセッサ信号処理部18とを分離して、マイクロプロセッサ信号処理部18の機能のみで第2従来例の情報処理端末システムを情報処理端末として使用できる。

#### 【0011】

次に、第2従来例の情報処理端末システムが信号を受信したときの動作を説明する。

#### 【0012】

デュープレクサ(DUP)52の受信信号帯域通過フィルターには、受信R

F 信号の周波数帯域が設定されている。その受信信号帯域通過フィルターは、アンテナ 51 により受信された受信 RF 信号のみを抽出し、低雑音増幅器 (LNA) 53 に出力する。直交振幅変調信号 (QAM 変調信号) の場合、受信 RF 信号は、シンボル周波数 (受信シンボル周波数) を有する受信アナログベースバンド信号 (受信アナログ BB 信号) を同相搬送波と同相搬送波から  $90^\circ$  位相をずらした直交搬送波とで直交変調して生成された、搬送波周波数を有する信号である。

#### 【0013】

低雑音増幅器 (LNA) 53 は、デュープレクサー (DUP) 52 からの受信 RF 信号を、復調器 (DEM) 70 が信号処理を行うために十分なレベルまで増幅して、帯域通過フィルター (BPF) 54 を介して周波数変換器 (CONV) 55 に出力する。低雑音増幅器 (LNA) 53 からの受信 RF 信号は、帯域通過フィルター (BPF) 54 に設定された搬送波周波数帯域以外の不要の周波数成分が除去される。

周波数変換器 (CONV) 55 は、不要の周波数成分が除去された受信 RF 信号を、局部発振器 (OSC) 57 により生成された局部発振信号を混合し受信中間周波信号 (受信 IF 信号) に変換して、帯域通過フィルター (BPF) 56 を介して変復調処理部 89 に出力する。周波数変換器 (CONV) 55 からの受信 IF 信号は、帯域通過フィルター (BPF) 56 に設定された搬送波周波数帯域が選択される。

#### 【0014】

復調器 (DEM) 70 は、帯域通過フィルター (BPF) 56 からの受信 IF 信号を受信アナログベースバンド信号 (受信アナログ BB 信号) に変換する。QAM 変調信号の場合、復調器 (DEM) 70 は、受信 IF 信号の搬送波を再生し同期検波を行う。すなわち、復調器 (DEM) 70 の搬送波再生回路は、受信 IF 信号から同相搬送波と直交搬送波とを生成 (再生) する。復調器 (DEM) 70 は、QAM 変調波 (同相搬送波と直交搬送波) に同期検波を行うことによって受信アナログ BB 信号としてアナログ同相成分信号 (アナログ I 信号)、アナログ直交成分信号 (アナログ Q 信号) に変換して A/D 変換器 24-1、24-2



に出力する。

復調器 (DEM) 70 の受信シンボルクロック再生回路は、この受信 IF 信号に重畳されて、受信シンボル周波数の  $n$  倍 ( $n$  は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D 変換器 24-1、24-2、復号器 (DEC) 71、マイクロ波送受信部インターフェース 73 に出力する。

#### 【0015】

A/D 変換器 24-1、24-2 は、受信シンボルクロックに同期したサンプリング周波数で復調器 (DEM) 70 からのアナログ I 信号、アナログ Q 信号をサンプリングし、サンプリング時のアナログ I 信号、アナログ Q 信号が示す搬送波の振幅に対応したデジタル同相成分信号 (デジタル I 信号)、デジタル直交成分信号 (デジタル Q 信号) を受信デジタルベースバンド信号 (受信デジタル BB 信号) として生成 (変換) して復号器 (DEC) 71 に出力する。

復号器 (DEC) 71 は、受信シンボルクロックに同期して、受信デジタル BB 信号であるデジタル I 信号、デジタル Q 信号に誤り訂正、復号化の処理を施し、マイクロ波送受信部インターフェース 73 に出力する。

#### 【0016】

マイクロ波送受信部インターフェース 73 の識別情報処理回路は、復号器 (DEC) 71 からの受信デジタル BB 信号を入力し、それに無線区間での信号識別用情報の除去処理 (識別情報除去処理) を施した受信データを生成して、その受信データバッファ回路に蓄える。マイクロ波送受信部インターフェース 73 の入出力は非同期である。このため、そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信データをマイクロプロセッサ信号処理部 18 に出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信部インターフェース 73 は、マイクロプロセッサ信号処理部 18 からのバスクロックに同期して、その受信データをマイクロプロセッサ信号処理部 18 に出力する。

#### 【0017】

マイクロプロセッサ信号処理部 18 のマイクロプロセッサ信号処理部インターフェース 74 は、クロック発生器 30 からの基準クロックに同期して、マイ

クロ波送受信部 17 (マイクロ波送受信部インターフェース 73) からの受信データを、その受信データバッファ回路に蓄える。マイクロプロセッサ信号処理部インターフェース 74 の入出力は非同期である。このため、そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信データをマイクロプロセッサ信号処理回路 (CPU) 75 に出力するタイミングを調整するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース 74 は、クロック発生器 30 からの基準クロックに同期して、その受信データをマイクロプロセッサ信号処理回路 (CPU) 75 に出力する。

#### 【0018】

マイクロプロセッサ信号処理回路 (CPU) 75 は、メモリに記憶された複数のプログラムのうちの応用プログラム (例えば電子メール処理プログラムなど) (図示しない) を実行する。

マイクロプロセッサ信号処理回路 (CPU) 75 は、その応用プログラム (例えば電子メール処理プログラムなど) により、クロック発生器 30 からの基準クロックに同期して、マイクロプロセッサ信号処理部インターフェース 74 からの受信データを処理する。

#### 【0019】

次に、第 2 従来例の情報処理端末システムが信号を送信するときの動作を説明する。

#### 【0020】

マイクロプロセッサ信号処理回路 (CPU) 75 は、応用プログラムによって生成された送信データを、クロック発生器 30 からの基準クロックに同期してマイクロプロセッサ信号処理部インターフェース 74 に出力する。

#### 【0021】

マイクロプロセッサ信号処理部インターフェース 74 は、クロック発生器 30 からの基準クロックに同期して、マイクロプロセッサ信号処理回路 (CPU) 75 からの送信データを、その送信データバッファ回路に蓄える。マイクロプロセッサ信号処理部インターフェース 74 の入出力は非同期であるため、そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信データを

マイクロ波送受信部 17（マイクロ波送受信部インターフェース 73）に出力するタイミングを調整するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース 74 は、クロック発生器 30 からの基準クロックに同期して、その送信データをマイクロ波送受信部インターフェース 73 に出力する。

#### 【0022】

クロック発生器 27 は、送信シンボル周波数を有する送信シンボルクロックを生成して D/A 変換器 25-1、25-2、符号器（ENC）72、マイクロ波送受信部インターフェース 73 に出力する。

#### 【0023】

マイクロ波送受信部インターフェース 73 は、マイクロプロセッサ信号処理部インターフェース 74 からのバスクロックに同期して、マイクロプロセッサ信号処理部 18 からの送信データを、その送信データバッファ回路に蓄える。マイクロ波送受信部インターフェース 73 の入出力は非同期であるため、そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信データを符号器（ENC）72 に出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信部インターフェース 73 の識別情報処理回路は、クロック発生器 27 からの送信シンボルクロックに同期して、送信データに無線区間での信号識別用情報の付加処理（識別情報付加処理）を施して符号器（ENC）72 に出力する。

#### 【0024】

符号器（ENC）72 は、クロック発生器 27 からの送信シンボルクロックに同期して、マイクロ波送受信部インターフェース 73 からの送信データに誤り訂正用冗長情報を付加する処理、符号化の処理を施し、送信デジタルベースバンド信号（送信デジタル BB 信号）としてデジタル I 信号、デジタル Q 信号を生成して D/A 変換器 25-1、25-2 に出力する。

D/A 変換器 25-1、25-2 は、クロック発生器 27 からの送信シンボルクロックに同期して、デジタル I 信号、デジタル Q 信号を送信アナログベースバンド信号（送信アナログ BB 信号）として、搬送波の振幅を示すアナログ I 信号、アナログ Q 信号に変換して変調器（MOD）23 に出力する。

変調器 (MOD) 23 は、送信アナログベースバンド信号 (送信アナログ BB 信号) であるアナログ I 信号、アナログ Q 信号を同相搬送波と直交搬送波とで直交変調して送信中間周波信号 (送信 IF 信号) を生成し、帯域通過フィルター (BPF) 62 を介して周波数変換器 (CONV) 61 に出力する。このとき、送信 IF 信号は、帯域通過フィルター (BPF) 62 に設定された搬送波周波数帯域に制限される。

周波数変換器 (CONV) 61 は、帯域通過フィルター (BPF) 62 からの送信 IF 信号を、局部発振器 (OSC) 58 により生成された局部発振信号と混合して送信高周波信号 (送信 RF 信号) に変換して、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。周波数変換器 (CONV) 61 からの送信 RF 信号は、帯域通過フィルター (BPF) 60 に設定された搬送波周波数帯域以外の不要の周波数成分が除去される。

電力増幅器 (PA) 59 は、送信 RF 信号を送信するために必要な電力まで送信電力を増幅し、その送信 RF 信号をデュプレクサー (DUP) 52 に出力する。

デュプレクサー (DUP) 52 の送信信号帯域通過フィルターには、送信 RF 信号の周波数帯域が設定されている。その送信信号帯域通過フィルターは、電力増幅器 (PA) 59 からの送信 RF 信号のみを抽出し、アンテナ 51 を介してネットワークに送信する。

#### 【0025】

マイクロ波送受信部インターフェース 73、マイクロプロセッサ信号処理部インターフェース 74 間のデータの伝送は、クロック発生器 30 により生成された基準クロックに同期して行われる。この基準クロックは、復調器 (DEM) 70 により生成される受信シンボルクロックと、クロック発生器 27 により生成される送信シンボルクロックとは非同期である。このデータ伝送方式の具体例として、Peripheral Components Interconnect bus (PCI bus)、Card bus などが挙げられる。

#### 【0026】

しかしながら、第 2 従来例の情報処理端末システムには、以下の問題点がある

## 【0027】

第2従来例の情報処理端末システムでは、マイクロ波送受信部17における復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の識別情報処理回路で、誤り訂正処理、符号・複合化処理、識別情報付加・除去処理等を行っている。このため、第2従来例の情報処理端末システムでは、このような処理を行う回路をマイクロ波送受信部17に内蔵する分、情報処理端末システムが大型化してしまう。

第2従来例の情報処理端末システムでは、タイミング調整処理に伴う受信データバッファ回路、送信データバッファ回路、タイミング調整回路が必要である。このため、第2従来例の情報処理端末システムでは、タイミング調整処理を行う回路をマイクロ波送受信部17、マイクロプロセッサ信号処理部18(マイクロ波送受信部インターフェース73、マイクロプロセッサ信号処理部インターフェース74)に内蔵する分、情報処理端末システムが大型化してしまう。

小型化を実現できる情報処理端末システムが望まれる。

## 【0028】

第2従来例の情報処理端末システムでは、マイクロ波送受信部17に復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の識別情報処理回路を内蔵している。このため、第2従来例の情報処理端末システムでは、このような処理を行う回路によって電力を余計に消費してしまう。消費電力は、一般に信号処理クロック周波数(受信シンボルクロック、送信シンボルクロック)に比例する。したがって、信号容量の増加に伴ってマイクロプロセッサ信号処理回路(CPU)75の動作周波数を高くすると消費電力が増加する。

第2従来例の情報処理端末システムでは、タイミング調整処理を行うために、マイクロ波送受信部17、マイクロプロセッサ信号処理部18(マイクロ波送受信部インターフェース73、マイクロプロセッサ信号処理部インターフェース74)に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵している。このため、第2従来例の情報処理端末システムでは、タイ

ミング調整処理を行う回路によって電力を余計に消費してしまう。

低消費電力を実現できる情報処理端末システムが望まれる。

#### 【0029】

第2従来例の情報処理端末システムでは、マイクロ波送受信部17に復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の識別情報処理回路を内蔵している。このため、第2従来例の情報処理端末システムでは、信号の送受信(入出力)に伴って発熱する発熱量が、このような処理を行う回路によって余計に増加する。信号容量の増加に伴ってマイクロプロセッサ信号処理回路(CPU)75の動作周波数を高くすると消費電力とともに発熱量が増加する。伝送容量の大容量化のために信号処理クロック周波数を高くすると復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の消費電力が増加し、発熱量が増加する要因になる。

第2従来例の情報処理端末システムでは、タイミング調整処理を行うために、マイクロ波送受信部17、マイクロプロセッサ信号処理部18(マイクロ波送受信部インターフェース73、マイクロプロセッサ信号処理部インターフェース74)に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵している。このため、第2従来例の情報処理端末システムでは、信号の送受信(入出力)に伴って発熱する発熱量が、タイミング調整処理を行う回路によって余計に増加する。

低発熱化を実現できる情報処理端末システムが望まれる。

#### 【0030】

マイクロ波送受信部17がカード状のような形状の場合、マイクロ波送受信部17の発熱を放熱するための条件が通常より厳しく設定される。したがって、マイクロ波送受信部17の発熱を充分放熱できる構造に製造するための製造コストが発生する。

第2従来例の情報処理端末システムでは、タイミング調整処理を行うために、マイクロ波送受信部17、マイクロプロセッサ信号処理部18(マイクロ波送受信部インターフェース73、マイクロプロセッサ信号処理部インターフェース74)に受信データバッファ回路、送信データバッファ回路、タイミング調整

回路を内蔵している。このため、第2従来例の情報処理端末システムでは、タイミング調整処理を行う回路を製造するための製造コストが余計にかかる。

低コスト化を実現できる情報処理端末システムが望まれる。

#### 【0031】

第2従来例の情報処理端末システムでは、タイミング調整処理により、伝達遅延が生じてしまい、スループットの低下を起こしてしまう可能性がある。この問題は、マイクロ波送受信部17（マイクロ波送受信部インターフェース73）とマイクロプロセッサ信号処理部18（マイクロプロセッサ信号処理部インターフェース74）とを接続する部分の信号容量が増大するにつれて顕著になる。

スループットの低下を防止する情報処理端末システムが望まれる。

#### 【0032】

##### 【特許文献1】

特開2002-064399号公報

##### 【特許文献2】

特開2001-044882号公報

##### 【特許文献3】

特開2000-092142号公報

##### 【特許文献4】

特開2000-151553号公報

##### 【特許文献5】

特開2002-064845号公報

#### 【0033】

##### 【発明が解決しようとする課題】

本発明の目的は、利用性が向上する情報処理端末システムを提供することにある。

本発明の他の目的は、小型化を実現できる情報処理端末システムを提供することにある。

本発明の更に他の目的は、低消費電力を実現できる情報処理端末システムを提供することにある。

本発明の更に他の目的は、低発熱化を実現できる情報処理端末システムを提供することにある。

本発明の更に他の目的は、低コスト化を実現できる情報処理端末システムを提供することにある。

本発明の更に他の目的は、スループットの低下を防止する情報処理端末システムを提供することにある。

#### 【0034】

##### 【課題を解決するための手段】

以下に、[発明の実施の形態] で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と [発明の実施の形態] の記載との対応関係を明らかにするために付加されたものであるが、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

#### 【0035】

本発明（第3／第4／第5／第6／第7／第8実施形態）の情報処理端末システムは、情報処理端末（6／6／10／6／6／16）と、ネットワークに接続された送受信装置（5／7／9／11／13／15）とを具備する。送受信装置（5／7／9／11／13／15）は、情報処理端末（6／6／10／6／6／16）に着脱可能である。送受信部（5／7／9／11／13／15）は、送受信処理部（21／21／21／37／21／21）と復調器（22／22／22／38／42／42）と変調器（23）とベースバンド処理部（24-1、24-2、25-1、25-2、31）とを備えている。

送受信装置（5／7／9／11／13／15）が情報処理端末（6／6／10／6／6／16）に装着されているときに、以下に示す動作を行う。この動作は、本発明の送受信方法に対応する。

送受信処理部（21／21／21／37／21／21）は、ネットワークからの受信変調波信号を復調器（22／22／22／38／42／42）に出力し、変調器（23）からの送信変調波信号をネットワークに送出する。

復調器（22／22／22／38／42／42）は、送受信処理部（21／2



1/21/37/21/21)からの受信変調波信号を受信アナログベースバンド信号に変換する。

ベースバンド処理部(24-1、24-2、25-1、25-2、31)は、受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、情報処理端末(6/6/10/6/6/16)からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換する。

変調器(23)は、送信アナログベースバンド信号を送信変調波信号に変換する。

情報処理端末(6/6/10/6/6/16)は、ベースバンド処理部(24-1、24-2、25-1、25-2、31)からの受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換する。

ベースバンド処理部(24-1、24-2、25-1、25-2、31)と情報処理端末(6/6/10/6/6/16)とは、クロックにより同期して動作する。

#### 【0036】

本発明(第3実施形態)の情報処理端末システムにおいて、情報処理端末(6)は、インターフェース(34)と、制御部(26)とを備えている。制御部(26)は、第3実施形態のマイクロプロセッサ信号処理回路(CPU)26である。

制御部(26)は、ベースバンド処理部(24-1、24-2、25-1、25-2、31)からインターフェース(34)を介して入力される受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換してインターフェース(34)を介してベースバンド処理部(24-1、24-2、25-1、25-2、31)に出力する。

復調器(22)は、周波数を有する受信シンボルクロックを生成して上記のクロックとしてベースバンド処理部(24-1、24-2、25-1、25-2、31)とインターフェース(34)と制御部(26)とに出力する。

#### 【0037】

本発明（第4実施形態）の情報処理端末システムにおいて、情報処理端末（6）は、インターフェース（34）と、制御部（26）とを備えている。制御部（26）は、第4実施形態のマイクロプロセッサ信号処理回路（CPU）26である。

制御部（26）は、ベースバンド処理部（24-1、24-2、25-1、25-2、31）からインターフェース（34）を介して入力される受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換してインターフェース（34）を介してベースバンド処理部（24-1、24-2、25-1、25-2、31）に出力する。

送受信装置（7）は、更に、クロック発生器（35）を備えている。

復調器（22）は、周波数を有する受信シンボルクロックを生成してクロック発生器（35）に出力する。

クロック発生器（35）は、復調器（22）からの受信シンボルクロックに基づいて2次受信シンボルクロックを生成して上記のクロックとしてベースバンド処理部（24-1、24-2、25-1、25-2、31）とインターフェース（34）と制御部（26）とに出力する。2次受信シンボルクロックは、受信シンボルクロックに同期し、受信シンボルクロックの周波数とは異なる周波数を有する。

#### 【0038】

本発明（第5実施形態）の情報処理端末システムにおいて、情報処理端末（10）は、インターフェース（34）と、制御部（26）と、クロック発生器（36）とを備えている。制御部（26）は、第5実施形態のマイクロプロセッサ信号処理回路（CPU）26である。

制御部（26）は、ベースバンド処理部（24-1、24-2、25-1、25-2、31）からインターフェース（34）を介して入力される受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換してインターフェース（34）を介してベースバンド処理部（24-1、24-2、25-1、25-2、31）に出力する。

復調器（22）は、周波数を有する受信シンボルクロックを生成してベースバ

ンド処理部（24-1、24-2、25-1、25-2、31）とインターフェース（34）とクロック発生器（36）とに出力する。

クロック発生器（36）は、復調器（22）からの受信シンボルクロックを1次クロックとして入力し、1次クロックに同期した2次クロックを生成して制御部（26）に出力する。1次クロックがない場合、クロック発生器（36）は、自走発振して2次クロックを制御部（26）に出力する。

#### 【0039】

本発明（第6実施形態）の情報処理端末システムにおいて、情報処理端末（6）は、インターフェース（34）と、制御部（26）とを備えている。制御部（26）は、第6実施形態のマイクロプロセッサ信号処理回路（CPU）26である。

制御部（26）は、ベースバンド処理部（24-1、24-2、25-1、25-2、31）からインターフェース（34）を介して入力される受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換してインターフェース（34）を介してベースバンド処理部（24-1、24-2、25-1、25-2、31）に出力する。

送受信装置（11）は、更に、クロック発生器（39）を備えている。

送受信処理部（37）は、周波数を有する基準信号を生成してクロック発生器（39）に出力する。この基準信号は、第6実施形態で説明される基準位相信号である。

クロック発生器（39）は、送受信処理部（37）からの基準信号に基づいて、受信変調波信号の搬送波を再生して復調器（38）に出力すると共に受信シンボルクロックを生成して上記のクロックとしてベースバンド処理部（24-1、24-2、25-1、25-2、31）とインターフェース（34）と制御部（26）とに出力する。受信シンボルクロックは、基準信号に同期し、基準信号の周波数とは異なる周波数を有する。

ベースバンド処理部（24-1、24-2、25-1、25-2、31）とインターフェース（34）と制御部（26）とは受信シンボルクロックにより同期して動作する。

## 【0040】

本発明（第7実施形態）の情報処理端末システムにおいて、情報処理端末（6）は、インターフェース（34）と、制御部（26）とを備えている。制御部（26）は、第7実施形態のマイクロプロセッサ信号処理回路（CPU）26である。

制御部（26）は、ベースバンド処理部（24-1、24-2、25-1、25-2、31）からインターフェース（34）を介して入力される受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換してインターフェース（34）を介してベースバンド処理部（24-1、24-2、25-1、25-2、31）に出力する。

送受信装置（13）は、更に、クロック発生器（41）を備えている。

クロック発生器（41）は、自走発振により上記のクロックを生成してベースバンド処理部（24-1、24-2、25-1、25-2、31）とインターフェース（34）と制御部（26）とに出力する。

## 【0041】

本発明（第8実施形態）の情報処理端末システムにおいて、情報処理端末（16）は、インターフェース（102）と、制御部（26）と、クロック発生器（30）とを備えている。制御部（26）は、第8実施形態のマイクロプロセッサ信号処理回路（CPU）26である。

制御部（26）は、ベースバンド処理部（24-1、24-2、25-1、25-2、31）からインターフェース（102）を介して入力される受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換してインターフェース（102）を介してベースバンド処理部（24-1、24-2、25-1、25-2、31）に出力する。

クロック発生器（30）は、自走発振により上記のクロックを生成してベースバンド処理部（24-1、24-2、25-1、25-2、31）とインターフェース（102）と制御部（26）とに出力する。

## 【0042】

本発明（第2／第4'／第5'／第6'／第7'／第8'実施形態）の情報処

理端末システムは、情報処理端末（4/4/10' / 4/4/16）と、送受信装置（3/7/9/11/13/15）とを具備する。送受信装置（3/7/9/11/13/15）は、信号処理部（4/4/10' / 4/4/16）に着脱可能である。送受信部（3）は、送受信処理部（21/21/21/37/21/21）と復調器（22/22/22/38/42/42）と変調器（23）とベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）とを備えている。

送受信装置（3/7/9/11/13/15）が情報処理端末（4/4/10' / 4/4/16）に装着されているときに、以下に示す動作を行う。この動作は、本発明の送受信方法に対応する。

送受信処理部（21/21/21/37/21/21）は、ネットワークから受信変調波信号を復調器（22/22/22/38/42/42）に出力し、変調器（23）からの送信変調波信号をネットワークに送出する。

復調器（22/22/22/38/42/42）は、送受信処理部（21/21/21/37/21/21）からの受信変調波信号を受信アナログベースバンド信号に変換する。

ベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）は、受信アナログベースバンド信号を受信データに変換して情報処理端末（4/4/10' / 4/4/16）に出力し、情報処理端末（4/4/10' / 4/4/16）からの送信データを送信アナログベースバンド信号に変換する。

変調器（23）は、送信アナログベースバンド信号を送信変調波信号に変換する。

ベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）と情報処理端末（4/4/10' / 4/4/16）とはクロックにより同期して動作する。

#### 【0043】

本発明（第2実施形態）の情報処理端末システムにおいて、情報処理端末（4）は、インターフェース（47）と、制御部（48）とを備えている。制御部（

48) は、第2実施形態のマイクロプロセッサ信号処理回路 (CPU) 48 である。

制御部 (48) は、ベースバンド処理部 (24-1、24-2、25-1、25-2、46、71、72) からインターフェース (47) を介して受信データを入力し、送信データをインターフェース (47) を介してベースバンド処理部 (24-1、24-2、25-1、25-2、46、71、72) に出力する。

復調器 (22) は、周波数を有する受信シンボルクロックを生成してクロックとしてベースバンド処理部 (24-1、24-2、25-1、25-2、46、71、72) とインターフェース (47) と制御部 (48) とに出力する。

#### 【0044】

本発明 (第4' 実施形態) の情報処理端末システムにおいて、情報処理端末 (4) は、インターフェース (47) と、制御部 (48) とを備えている。第4' 実施形態は、第4実施形態を第2実施形態に適用した実施形態である。制御部 (48) は、第4' 実施形態のマイクロプロセッサ信号処理回路 (CPU) 48 である。

制御部 (48) は、ベースバンド処理部 (24-1、24-2、25-1、25-2、46、71、72) からインターフェース (47) を介して受信データを入力し、送信データをインターフェース (47) を介してベースバンド処理部 (24-1、24-2、25-1、25-2、46、71、72) に出力する。

送受信装置 (7) は、更に、クロック発生器 (35) を備えている。

復調器 (22) は、周波数を有する受信シンボルクロックを生成してクロック発生器 (35) に出力する。

クロック発生器 (35) は、復調器 (22) からの受信シンボルクロックに基づいて2次受信シンボルクロックを生成して上記のクロックとしてベースバンド処理部 (24-1、24-2、25-1、25-2、46、71、72) とインターフェース (47) と制御部 (48) とに出力する。2次受信シンボルクロックは、受信シンボルクロックに同期し、前記受信シンボルクロックの周波数とは異なる周波数を有する。

#### 【0045】

本発明（第5'実施形態）の情報処理端末システムにおいて、情報処理端末（10'）は、インターフェース（47）と、制御部（48）と、クロック発生器（36）とを備えている。第5'実施形態は、第5実施形態を第2実施形態に適用した実施形態である。制御部（48）は、第5'実施形態のマイクロプロセッサ信号処理回路（CPU）48である。

制御部（48）は、ベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）からインターフェース（47）を介して受信データを入力し、送信データをインターフェース（47）を介してベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）に出力する。

復調器（22）は、周波数を有する受信シンボルクロックを生成して上記のクロックとしてベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）とインターフェース（47）とクロック発生器（36）とに出力する。

クロック発生器（36）は、復調器（22）からの受信シンボルクロックを1次クロックとして入力し、1次クロックに同期した2次クロックを生成して上記のクロックとして制御部（26）に出力する。1次クロックがない場合、クロック発生器（36）は、自走発振して2次クロックを制御部（48）に出力する。

#### 【0046】

本発明（第6'実施形態）の情報処理端末システムにおいて、情報処理端末（4）は、インターフェース（47）と、制御部（48）とを備えている。第6'実施形態は、第6実施形態を第2実施形態に適用した実施形態である。制御部（48）は、第6'実施形態のマイクロプロセッサ信号処理回路（CPU）48である。

制御部（48）は、ベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）からインターフェース（47）を介して受信データを入力し、送信データをインターフェース（47）を介してベースバンド処理部（24-1、24-2、25-1、25-2、46、71、72）に出力する。

送受信装置（11）は、更に、クロック発生器（39）を備えている。

送受信処理部（37）は、周波数を有する基準信号を生成してクロック発生器

(39) に出力する。この基準信号は、第6実施形態で説明される基準位相信号である。

クロック発生器(39)は、送受信処理部(37)からの前記基準信号に基づいて、受信変調波信号の搬送波を再生して復調器(38)に出力すると共に受信シンボルクロックを生成して上記のクロックとしてベースバンド処理部(24-1、24-2、25-1、25-2、46、71、72)とインターフェース(47)と制御部(48)とに出力する。受信シンボルクロックは、基準信号に同期し、基準信号の周波数とは異なる周波数を有する。

ベースバンド処理部(24-1、24-2、25-1、25-2、46、71、72)とインターフェース(47)と制御部(48)とは受信シンボルクロックにより同期して動作する。

#### 【0047】

本発明(第7'実施形態)の情報処理端末システムにおいて、情報処理端末(4)は、インターフェース(47)と、制御部(48)とを備えている。第7'実施形態は、第7実施形態を第2実施形態に適用した実施形態である。制御部(48)は、第7'実施形態のマイクロプロセッサ信号処理回路(CPU)48である。

制御部(48)は、ベースバンド処理部(24-1、24-2、25-1、25-2、46、71、72)からインターフェース(47)を介して受信データを入力し、送信データをインターフェース(47)を介してベースバンド処理部(24-1、24-2、25-1、25-2、46、71、72)に出力する。

送受信装置(13)は、更に、クロック発生器(41)を備えている。

クロック発生器(41)は、自走発振により上記のクロックを生成してベースバンド処理部(24-1、24-2、25-1、25-2、46、71、72)とインターフェース(47)と制御部(48)とに出力する。

#### 【0048】

本発明(第8'実施形態)の情報処理端末システムにおいて、情報処理端末(16)は、インターフェース(104)と、制御部(48)と、クロック発生器(30)とを備えている。第8'実施形態は、第8実施形態を第2実施形態に適



用した実施形態である。制御部（４８）は、第８’ 実施形態のマイクロプロセッサ信号処理回路（ＣＰＵ）４８である。

制御部（４８）は、ベースバンド処理部（２４－１、２４－２、２５－１、２５－２、４６、７１、７２）からインターフェース（１０４）を介して受信データを入力し、送信データをインターフェース（１０４）を介してベースバンド処理部（２４－１、２４－２、２５－１、２５－２、４６、７１、７２）に出力する。

クロック発生器（３０）は、自走発振により上記のクロックを生成してベースバンド処理部（２４－１、２４－２、２５－１、２５－２、４６、７１、７２）とインターフェース（１０４）と制御部（４８）とに出力する。

#### 【００４９】

本発明（第１実施形態）の情報処理端末システムは、情報処理端末（２）と、送受信装置（１）とを具備する。送受信装置（１）は、信号処理部（２）に着脱可能である。送受信装置（１）は、送受信処理部（２１）と復調器（２２）と変調器（２３）とベースバンド処理部（２４－１、２４－２、２５－１、２５－２、２７、２８）とを備えている。

送受信部（１）が情報処理端末（２）に装着されているときに、以下に示す動作を行う。この動作は、本発明の送受信方法に対応する。

送受信処理部（２１）は、ネットワークからの受信変調波信号を復調器（２２）に出力し、変調器（２３）からの送信変調波信号をネットワークに送出する。

復調器（２２）は、送受信処理部（２１）からの受信変調波信号を受信アナログベースバンド信号に変換する。

ベースバンド処理部（２４－１、２４－２、２５－１、２５－２、２７、２８）は、受信アナログベースバンド信号を受信デジタルベースバンド信号に変換し、情報処理端末（２）からの送信デジタルベースバンド信号を送信アナログベースバンド信号に変換する。

変調器（２３）は、送信アナログベースバンド信号を送信変調波信号に変換する。

情報処理端末（２）は、ベースバンド処理部（２４－１、２４－２、２５－１

、25-2、27、28)からの受信デジタルベースバンド信号を受信データに変換し、送信データを送信デジタルベースバンド信号に変換する。

#### 【0050】

##### 【発明の実施の形態】

添付図面を参照して、本発明による情報処理端末システムの実施の形態を以下に説明する。

#### 【0051】

##### (第1実施形態)

図1は、本発明の第1実施形態の情報処理端末システムとしてマイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第1実施形態の情報処理端末システムでは、小型化、低発熱化、低コスト化を実現し、利用性(携帯性、経済性)が向上する。

第1実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部1と、マイクロプロセッサ信号処理部2とを具備する。アンテナ51とマイクロ波送受信部1とは、送受信装置(通信装置)である。マイクロプロセッサ信号処理部2は、情報処理端末である。情報処理端末としては、PDA(Personal Digital Assistant)、携帯コンピュータが該当する。

マイクロ波送受信部1は、受信時に、アンテナ51を介して受信した、変調波である受信高周波信号{受信RF(Radio Frequency)信号}を復調し受信デジタルベースバンド信号(受信デジタルBB信号)に変換してマイクロプロセッサ信号処理部2に出力する。マイクロ波送受信部1は、送信時に、マイクロプロセッサ信号処理部2からの送信デジタルベースバンド信号(送信デジタルBB信号)を、変調波である送信高周波信号(送信RF信号)に変換してアンテナ51を介して送信する。

#### 【0052】

このマイクロ波送受信部1は、高周波処理部21、変復調処理部81を備えている。この高周波処理部21は、第2従来例の高周波処理部21と同じである(図27参照)。

高周波処理部 21 は、受信時に、アンテナ 51 を介して受信した受信 RF 信号を復調し受信中間周波信号 {受信 IF (Intermediate Frequency) 信号} に変換して変復調処理部 81 に出力する。高周波処理部 21 は、送信時に、変復調処理部 81 からの送信 IF 信号を送信 RF 信号に変換してアンテナ 51 を介して送信する。

変復調処理部 81 は、受信時に、高周波処理部 21 からの受信変調波信号である受信 IF 信号を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 2 に出力する。変復調処理部 81 は、送信時に、マイクロプロセッサ信号処理部 2 からの送信デジタル BB 信号を送信変調波信号である送信 IF 信号に変換して高周波処理部 21 に出力する。

#### 【0053】

高周波処理部 21 は、デュープレクサ (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、56、60、62、周波数変換器 (CONV) 55、61、局部発振器 (OSC) 57、58、電力増幅器 (PA) 59 を備えている。

デュープレクサ (DUP) 52 は、受信信号帯域通過フィルター (図示しない)、送信信号帯域通過フィルター (図示しない) を備えている。

#### 【0054】

変復調処理部 81 は、復調器 (DEM) 22、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル (A/D) 変換器 24-1、24-2、デジタル/アナログ (D/A) 変換器 25-1、25-2、クロック発生器 (CLOCK GEN) 27、マイクロ波送受信部インターフェース (I/F) 28 を備えている。

復調器 (DEM) 22 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。

マイクロ波送受信部インターフェース 28 は、受信データバッファ回路 (図示しない)、送信データバッファ回路 (図示しない)、変換回路 (図示しない)、タイミング調整回路 (図示しない) を備えている。

#### 【0055】

マイクロプロセッサ信号処理部2は、クロック発生器 (CLOCK GEN) 30、マイクロプロセッサ信号処理部インターフェース (I/F) 29、CPU (Central Processing Unit) であるマイクロプロセッサ信号処理回路26を備えている。

クロック発生器30は、基準クロックを生成してマイクロプロセッサ信号処理部インターフェース29、マイクロプロセッサ信号処理回路 (CPU) 26に出力する。

マイクロプロセッサ信号処理部インターフェース29は、この基準クロックに同期したバスクロック信号を生成してマイクロ波送受信部インターフェース28に出力する。マイクロプロセッサ信号処理部インターフェース29は、受信データバッファ回路 (図示しない)、送信データバッファ回路 (図示しない)、変換回路 (図示しない)、タイミング調整回路 (図示しない) を備えている。

マイクロプロセッサ信号処理回路 (CPU) 26は、マイクロプロセッサ (図示しない)、メモリ (図示しない)、入出力装置 (図示しない) 等を含み、そのメモリには、複数のプログラム (図示しない) が記憶されている。

第1実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部2からマイクロ波送受信部1を着脱できる構造である。マイクロ波送受信部1とマイクロプロセッサ信号処理部2とが分離されているときでも、マイクロプロセッサ信号処理回路 (CPU) 26は、クロック発生器30からの基準クロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成など一般のプログラム (図示しない) を実行することができ、前記の一般的な情報処理 (情報処理端末の機能のみが使用される処理) を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号処理部2の機能のみでも第1実施形態の情報処理端末システムを情報処理端末として使用できる。

#### 【0056】

まず、高周波処理部21について説明する。

#### 【0057】

デュプレクサー (DUP) 52の受信信号帯域通過フィルターには、受信R

F 信号の周波数帯域が設定されている。その受信信号帯域通過フィルターは、アンテナ 51 により受信された受信 RF 信号のみを抽出し、低雑音増幅器 (LNA) 53 に出力する。直交振幅変調信号 (QAM 変調信号) の場合、受信 RF 信号は、シンボル周波数 (受信シンボル周波数) を有する受信デジタル BB 信号を同相搬送波と同相搬送波から  $90^\circ$  位相をずらした直交搬送波とで直交変調して生成された、搬送波周波数を有する信号である。

デュープレクサー (DUP) 52 の送信信号帯域通過フィルターには、送信 RF 信号の周波数帯域が設定されている。その送信信号帯域通過フィルターは、電力増幅器 (PA) 59 からの送信 RF 信号のみを抽出し、アンテナ 51 を介してネットワークに送信する。

#### 【0058】

低雑音増幅器 (LNA) 53 は、デュープレクサー (DUP) 52 からの受信 RF 信号を、復調器 (DEM) 22 が信号処理を行うために十分なレベルまで増幅して、帯域通過フィルター (BPF) 54 を介して周波数変換器 (CONV) 55 に出力する。低雑音増幅器 (LNA) 53 からの受信 RF 信号は、帯域通過フィルター (BPF) 54 に設定された搬送波周波数帯域以外の不要の周波数成分が除去される。

局部発振器 (OSC) 57 は、局部発振信号を生成する。

周波数変換器 (CONV) 55 は、不要の周波数成分が除去された受信 RF 信号を、局部発振器 (OSC) 57 により生成された局部発振信号と混合して受信中間周波信号 (受信 IF 信号) に変換し、帯域通過フィルター (BPF) 56 を介して変復調処理部 81 に出力する。周波数変換器 (CONV) 55 からの受信 IF 信号は、帯域通過フィルター (BPF) 56 にて設定された搬送波周波数帯域が選択される。

#### 【0059】

変復調処理部 81 からの送信 IF 信号は、帯域通過フィルター (BPF) 62 を介して周波数変換器 (CONV) 61 に出力され、帯域通過フィルター (BPF) 62 にて設定された搬送波周波数帯域が選択される。

局部発振器 (OSC) 58 は、局部発振信号を生成する。

周波数変換器 (CONV) 61 は、帯域通過フィルター (BPF) 62 からの送信 IF 信号を、局部発振器 (OSC) 58 により生成された局部発振信号と混合して送信高周波信号 (送信 RF 信号) に変換して、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。周波数変換器 (CONV) 61 からの送信 RF 信号は、帯域通過フィルター (BPF) 60 に設定された搬送波周波数帯域以外の不要な周波数成分が除去される。

電力増幅器 (PA) 59 は、送信 RF 信号を送信するために必要な電力まで増幅し、デュープレクサー (DUP) 52 に出力する。

#### 【0060】

次に、変復調処理部 81 について説明する。

#### 【0061】

復調器 (DEM) 22 は、帯域通過フィルター (BPF) 56 からの受信 IF 信号を受信アナログベースバンド信号に変換する。QAM 変調信号の場合、復調器 (DEM) 22 は、受信 IF 信号の搬送波を再生し同期検波を行う。

すなわち、復調器 (DEM) 22 の搬送波再生回路は、受信 IF 信号から同相搬送波と直交搬送波とを生成 (再生) する。復調器 (DEM) 22 は、それらを用いて、QAM 変調波 (同相変調波と直交変調波) を同期検波することによって受信アナログ BB 信号、すなわちアナログ同相成分信号 (アナログ I 信号)、アナログ直交成分信号 (アナログ Q 信号) に変換し、A/D 変換器 24-1、24-2 に出力する。

復調器 (DEM) 22 の受信シンボルクロック再生回路は、この受信アナログ BB 信号に重畳されている受信シンボル周波数の  $n$  倍 ( $n$  は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D 変換器 24-1、24-2、マイクロ波送受信部インターフェース 28 に出力する。

#### 【0062】

A/D 変換器 24-1、24-2 は、受信シンボルクロックに同期したサンプリング周波数で復調器 (DEM) 22 からのアナログ I 信号、アナログ Q 信号をサンプリングし、サンプリング時のアナログ I 信号、アナログ Q 信号が示す搬送波の振幅に対応したデジタル同相成分信号 (デジタル I 信号)、デジタル直交成

分信号（デジタルQ信号）を受信デジタルベースバンド信号（受信デジタルBB信号）として生成（変換）してマイクロ波送受信部インターフェース28に出力する。

受信シンボル周波数が10MHzであり、受信シンボルクロックがその4倍の周波数（ $n=4$ ；4倍オーバーサンプリング）であるとき、サンプリング周波数は40MHzとなる。A/D変換器24-1、24-2がフルスケールで8ビットの場合、デジタルI信号、デジタルQ信号の2チャンネルあることを考慮すると、受信デジタルBB信号（デジタルI信号、デジタルQ信号）の帯域幅は80Mバイト/秒となる。

#### 【0063】

クロック発生器27は、送信シンボル周波数を有する送信シンボルクロックを生成してD/A変換器25-1、25-2、マイクロ波送受信部インターフェース28に出力する。

#### 【0064】

マイクロ波送受信部インターフェース28の変換回路は、受信デジタルBB信号（デジタルI信号、デジタルQ信号）、送信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理、パラレルビット変換処理を施す。信号レベル変換処理は、各入出力の電流、電圧等の物理規格を変換する処理である。パラレルビット変換処理は、入出力のデータビット幅が異なる場合に伝送効率を考慮してデータを融合、分離する処理である。例えば、受信デジタルBB信号が1受信シンボルクロック当たり8ビットの2倍、つまり16ビットずつマイクロ波送受信部インターフェース28に入力される場合、マイクロ波送受信部インターフェース28-マイクロプロセッサ-信号処理部インターフェース29間のデータビット幅が32ビットであれば、2受信シンボルクロック分の受信デジタルBB信号を融合することにより1回の転送で済む。

#### 【0065】

マイクロ波送受信部インターフェース28の変換回路は、受信時に、復調器（DEM）22からの受信シンボルクロックに同期して、A/D変換器24-1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）にパ

ラレルビット変換処理を施し、その受信データバッファ回路に蓄える。その変換回路は、その受信データバッファ回路に蓄えられた受信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理を施す。マイクロ波送受信部インターフェース28の入出力は非同期である。このため、そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロプロセッサ信号処理部2に出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信部インターフェース28は、マイクロプロセッサ信号処理部2からのバスクロックに同期して、その受信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロプロセッサ信号処理部2に出力する。

受信デジタルBB信号は、定期的に受信シンボルクロックに同期してマイクロ波送受信部インターフェース28に入力され、その受信データバッファ回路に蓄えられる。このデータバッファ回路は、容量が有限であるため、オーバーフローが発生するとデータが消失する問題がある。これを防ぐため、タイミング調整処理として、マイクロプロセッサ信号処理部2のマイクロプロセッサ信号処理回路（CPU）26は、所定のタイミングでマイクロ波送受信部インターフェース28の受信データバッファ回路に蓄えられたデータ（受信デジタルBB信号を表すデータ）の量を監視し、オーバーフローが発生する前に、蓄えられたデータ（受信デジタルBB信号を表すデータ）を、マイクロプロセッサ信号処理部インターフェース29を介してマイクロプロセッサ信号処理回路（CPU）26に出力するよう指示する。

また、マイクロ波送受信部インターフェース28の受信データバッファ回路にオーバーフロー検出回路（図示しない）、割込回路（図示しない）を内蔵してもよい。この場合、タイミング調整処理として、オーバーフロー検出回路は、その受信データバッファ回路に蓄えられたデータ（受信デジタルBB信号）の量を監視し、その量が基準を超えてオーバーフローが発生しそうな場合に、割込回路から割り込み信号を、マイクロプロセッサ信号処理部インターフェース29を介してマイクロプロセッサ信号処理回路（CPU）26に出力し、その受信データバッファ回路に蓄えられたデータ（受信デジタルBB信号を表すデータ）の読



み出しを促す。

【0066】

マイクロ波送受信部インターフェース28の変換回路は、送信時に、マイクロプロセッサ信号処理部2からのバスクロックに同期して、マイクロプロセッサ信号処理部2からの送信デジタルBB信号であるデジタルI信号、デジタルQ信号にパラレルビット変換処理を施し、その送信データバッファ回路に蓄える。その変換回路は、その送信データバッファ回路に蓄えられた送信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理を施す。マイクロ波送受信部インターフェース28の入出力は非同期である。このため、そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信デジタルBB信号（デジタルI信号、デジタルQ信号）をD/A変換器25-1、25-2に出力するタイミングを調整するタイミング調整処理を行う。マイクロ波送受信部インターフェース28は、クロック発生器27からの送信シンボルクロックに同期して、その送信デジタルBB信号（デジタルI信号、デジタルQ信号）をD/A変換器25-1、25-2に出力する。

送信デジタルBB信号は、マイクロ波送受信部インターフェース28の送信データバッファ回路に蓄えられ、定期的に送信シンボルクロックに同期して出力される。その送信データバッファ回路に蓄えられたデータ（送信デジタルBB信号を表すデータ）が空になるとデータ出力ができなくなる。これを防ぐため、タイミング調整処理として、マイクロプロセッサ信号処理回路（CPU）26は、所定のタイミングでマイクロ波送受信部インターフェース28の送信データバッファ回路に蓄えられたデータ（送信デジタルBB信号を表すデータ）の量を監視し、その送信データバッファ回路に蓄えられたデータが空になる前にデータ（送信デジタルBB信号を表すデータ）を書き込む（その送信データバッファ回路に出力する）。

また、マイクロ波送受信部インターフェース28の送信データバッファ回路にデータ無検出回路（図示しない）、割込回路（図示しない）を内蔵してもよい。この場合、タイミング調整処理として、データ無検出回路は、その送信データバッファ回路に蓄えられたデータ（送信デジタルBB信号）の量を監視し、その量が

基準以下であり空になりそうな場合に、割込回路から割り込み信号を、マイクロプロセッサ信号処理部インターフェース 29 を介してマイクロプロセッサ信号処理回路 (CPU) 26 に出力し、データの書き込みを (その送信データバッファ回路にデータを出力するよう) 促す。

#### 【0067】

D/A変換器 25-1、25-2 は、クロック発生器 27 からの送信シンボルクロックに同期して、デジタル I 信号、デジタル Q 信号を送信アナログベースバンド信号 (送信アナログ BB 信号) として、搬送波の振幅を示すアナログ I 信号、アナログ Q 信号に変換して変調器 (MOD) 23 に出力する。

D/A変換器 25-1、25-2 がフルスケールで 8 ビットであり、送信シンボルクロックが 10 MHz である場合、デジタル I 信号、デジタル Q 信号が 20 Mバイト/秒の信号帯域でマイクロ波送受信部インターフェース 28 から D/A 変換器 25-1、25-2 に出力され、送信アナログ BB 信号に変換される。

#### 【0068】

変調器 (MOD) 23 は、送信アナログベースバンド信号 (送信アナログ BB 信号) であるアナログ I 信号、アナログ Q 信号を同相搬送波と直交搬送波とで直交変調して送信中間周波信号 (送信 IF 信号) を生成し、帯域通過フィルター (BPF) 62 を介して周波数変換器 (CONV) 61 に出力する。

#### 【0069】

次に、マイクロプロセッサ信号処理部 2 について説明する。

#### 【0070】

マイクロプロセッサ信号処理部インターフェース 29 の受信データバッファ回路、送信データバッファ回路、変換回路、タイミング調整回路の機能は、マイクロ波送受信部インターフェース 28 の受信データバッファ回路、送信データバッファ回路、変換回路、タイミング調整回路の機能と同じである。

マイクロプロセッサ信号処理部インターフェース 29 の変換回路は、受信時に、クロック発生器 30 からの基準クロックに同期して、マイクロ波送受信部 1 (マイクロ波送受信部インターフェース 28) からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) にパラレルビット変換処理を施し、その受信デ

ータバッファ回路に蓄える。その変換回路は、その受信データバッファ回路に蓄えられた受信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理を施す。そのタイミング調整回路は、その受信データバッファ回路に蓄えられた受信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロプロセッサ信号処理回路（CPU）26に出力するタイミングを調整するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース29は、クロック発生器30からの基準クロックに同期して、その受信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロプロセッサ信号処理回路（CPU）26に出力する。

マイクロプロセッサ信号処理部インターフェース29の変換回路は、送信時に、クロック発生器30からの基準クロックに同期して、マイクロプロセッサ信号処理回路（CPU）26からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）にパラレルビット変換処理を施し、その送信データバッファ回路に蓄える。その変換回路は、その送信データバッファ回路に蓄えられた送信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理を施す。そのタイミング調整回路は、その送信データバッファ回路に蓄えられた送信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロ波送受信部1（マイクロ波送受信部インターフェース28）に出力するタイミングを調整するタイミング調整処理を行う。マイクロプロセッサ信号処理部インターフェース29は、クロック発生器30からの基準クロックに同期して、その送信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロ波送受信部インターフェース28に出力する。

#### 【0071】

マイクロプロセッサ信号処理回路（CPU）26は、メモリに記憶された複数のプログラムのうちの通信処理プログラム（図示しない）を実行する。この通信処理プログラムは、誤り訂正の処理、誤り訂正用冗長情報を付加する処理、符号化・復号化の処理、無線区間での信号識別用情報の付加処理（識別情報付加処理）、無線区間での信号識別用情報の除去処理（識別情報除去処理）、フーリエ変換、逆フーリエ変換、デジタル波形処理を行うためのソフトウェアアルゴリズム

ムを有する。

マイクロプロセッサ信号処理回路(CPU)26は、受信時に、その通信処理プログラムにより、クロック発生器30からの基準クロックに同期して、マイクロプロセッサ信号処理部インターフェース29からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)に誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理を施して受信データを生成する。また、マイクロプロセッサ信号処理回路(CPU)26は、応用プログラム(例えば電子メール処理プログラムなど)により、受信データを処理する。

マイクロプロセッサ信号処理回路(CPU)26は、送信時に、応用プログラム(例えば電子メール処理プログラムなど)により、送信データを生成する。マイクロプロセッサ信号処理回路(CPU)26は、通信処理プログラムにより、クロック発生器30からの基準クロックに同期して、その送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号(デジタルI信号、デジタルQ信号)を生成し、マイクロプロセッサ信号処理部インターフェース29に出力する。

#### 【0072】

最近のマイクロプロセッサは、デジタルシグナルプロセッサを内蔵している。このデジタルシグナルプロセッサにより、第2従来例のマイクロプロセッサよりも演算を高速に行うことができる。マイクロプロセッサ信号処理回路(CPU)26中に上述の機能を有するマイクロプロセッサとは別に、デジタルシグナルプロセッサを搭載することもできる。

#### 【0073】

マイクロプロセッサ信号処理回路(CPU)26が受信デジタルBB信号に誤り訂正の処理、復号化の処理を施す機能は、従来の情報処理端末システムの復号器(DEC)71の機能に対応する。これをDEC機能と称する。このDEC機能により、誤り訂正量をモニターすることにより(モニター情報により)無線区間のコンディション情報を把握することができる。また、この情報を用いると、相手側の送信電力を最適値に制御したり、複数の誤り訂正方式、複数の符号化

方式の中から、最適な誤り訂正方式、最適な符号化方式を動的に選択することができる。

従来の情報処理端末システムでは、このDEC機能 {復号器 (DEC) 71} がマイクロ波送受信部 17 に備えられていたため、上記のモニター情報をマイクロ波送受信部 17 からマイクロプロセッサ-信号処理部 18 内のマイクロプロセッサ-信号処理回路 (CPU) 75 に伝達する仕組み (伝達機構) が必要であった。

第1実施形態の情報処理端末システムでは、マイクロプロセッサ-信号処理部 2 内のマイクロプロセッサ-信号処理回路 (CPU) 26 がDEC機能を有することにより、上記の伝達機構は不要となり、マイクロプロセッサ-信号処理回路 (CPU) 26 は、通信処理プログラム (ソフトウェアアルゴリズム) のみの実行で、モニター情報により無線区間のコンディション情報を把握し、最適な通信方式へ移行する指示を出すことができる。このため、第1実施形態の情報処理端末システムでは、DEC機能からのフィードバックを従来の情報処理端末システムよりも高速に実行することができる。

#### 【0074】

マイクロプロセッサ-信号処理回路 (CPU) 26 が送信データに誤り訂正用冗長情報を付加する処理、符号化の処理を施す機能は、従来の情報処理端末システムの符号器 (ENC) 72 の機能に対応する。これをENC機能と称する。CPUは、無線区間のコンディションを基に選択された最適な誤り訂正方式、最適な符号化方式を実行するようにENC機能を制御する必要がある。

従来の情報処理端末システムでは、このENC機能 {符号器 (ENC) 72} がマイクロ波送受信部 17 に備えられていたため、最適な誤り訂正方式、最適な符号化方式を実行するようにENC機能を制御するための制御情報を、マイクロプロセッサ-信号処理部 18 内のマイクロプロセッサ-信号処理回路 (CPU) 75 から符号器 (ENC) 72 に伝達する仕組み (伝達機構) が必要であった。

第1実施形態の情報処理端末システムでは、マイクロプロセッサ-信号処理部 2 内のマイクロプロセッサ-信号処理回路 (CPU) 26 がENC機能を有することにより、上記の伝達機構は不要となり、マイクロプロセッサ-信号処理回路

(CPU) 26は、通信処理プログラム(ソフトウェアアルゴリズム)のみを実行することで、最適な誤り訂正方式、最適な符号化方式によって送信データに誤り訂正用冗長情報を付加する処理、符号化の処理を施すことができる。これにより、第1実施形態の情報処理端末システムでは、従来の情報処理端末システムよりも高速にENC機能の制御を実行することができる。

#### 【0075】

次に、第1実施形態の情報処理端末システムが信号を受信したときの動作を説明する。

#### 【0076】

アンテナ51により受信された受信RF信号は、デュープレクサー(DUP)52によって低雑音増幅器(LNA)53に出力される。受信RF信号は、低雑音増幅器(LNA)53によって増幅され、帯域通過フィルター(BPF)54によって搬送波周波数帯域以外の不要の周波数成分が除去される。

不要の周波数成分が除去された受信RF信号は、周波数変換器(CONV)55によって、局部発振器(OSC)57により生成された局部発振信号と混合され受信IF信号に変換される。受信IF信号は、帯域通過フィルター(BPF)56によって搬送波周波数帯域が選択され、復調器(DEM)22に出力される。

#### 【0077】

帯域通過フィルター(BPF)56からの受信IF信号は、復調器(DEM)22によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。この受信アナログBB信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが、復調器(DEM)22の受信シンボルクロック再生回路によって再生され、A/D変換器24-1、24-2、マイクロ波送受信部インターフェース28に出力される。

#### 【0078】

復調器(DEM)22からのアナログI信号、アナログQ信号は、A/D変換器24-1、24-2によって、受信シンボルクロックに同期したサンプリング

周波数でサンプリングされ、受信デジタルBB信号としてデジタルI信号、デジタルQ信号に変換され、マイクロ波送受信部インターフェース28に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース28の変換回路によって、復調器（DEM）22からの受信シンボルクロックに同期して、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース28の受信データバッファ回路に蓄えられる。その受信データバッファ回路に蓄えられた受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース28の変換回路によって信号レベル変換処理が施され、マイクロ波送受信部インターフェース28のタイミング調整回路によってタイミング調整処理が施され、マイクロプロセッサ信号処理部2からのバスクロックに同期して、マイクロプロセッサ信号処理部インターフェース29に出力される。

#### 【0079】

マイクロ波送受信部インターフェース28からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース29の変換回路によって、クロック発生器30からの基準クロックに同期して、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース29の受信データバッファ回路に蓄えられる。その受信データバッファ回路に蓄えられた受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース29の変換回路によって信号レベル変換処理が施され、マイクロプロセッサ信号処理部インターフェース29のタイミング調整回路によってタイミング調整処理が施され、クロック発生器30からの基準クロックに同期して、マイクロプロセッサ信号処理回路（CPU）26に出力される。

マイクロプロセッサ信号処理部インターフェース29からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理回路（CPU）26が実行する通信処理プログラムによって、クロック発生器30からの基準クロックに同期して、誤り訂正の処理、復号化の処理、識別情報除

去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路 (CPU) 26 は、応用プログラム (例えば電子メール処理プログラム) により、生成された受信データを処理する。

#### 【0080】

次に、第1実施形態の情報処理端末システムが信号を送信するときの動作を説明する。

#### 【0081】

マイクロプロセッサ信号処理回路 (CPU) 26 は、応用プログラム (例えば電子メール処理プログラム) によって送信データを生成した後、通信処理プログラムによって、クロック発生器30からの基準クロックに同期して、送信データに誤り訂正冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号 (デジタルI信号、デジタルQ信号) に変換し、マイクロプロセッサ信号処理部インターフェース29に出力する。

マイクロプロセッサ信号処理回路 (CPU) 26 からの送信デジタルBB信号 (デジタルI信号、デジタルQ信号) は、マイクロプロセッサ信号処理部インターフェース29の変換回路によって、クロック発生器30からの基準クロックに同期して、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース29の送信データバッファ回路に蓄えられる。その送信データバッファ回路に蓄えられた送信デジタルBB信号 (デジタルI信号、デジタルQ信号) は、マイクロプロセッサ信号処理部インターフェース29の変換回路によって信号レベル変換処理が施され、マイクロプロセッサ信号処理部インターフェース29のタイミング調整回路によってタイミング調整処理が施され、クロック発生器30からの基準クロックに同期して、マイクロ波送受信部インターフェース28に出力される。

#### 【0082】

マイクロプロセッサ信号処理部インターフェース29からの送信デジタルBB信号 (デジタルI信号、デジタルQ信号) は、マイクロ波送受信部インターフェース28の変換回路によって、マイクロプロセッサ信号処理部インターフェ



ース 29 からのバスクロックに同期して、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース 28 の送信データバッファ回路に蓄えられる。その送信データバッファ回路に蓄えられた送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロ波送受信部インターフェース 28 の変換回路によって信号レベル変換処理が施され、マイクロ波送受信部インターフェース 28 のタイミング調整回路によってタイミング調整処理が施され、クロック発生器 27 からの送信シンボルクロックに同期して、D/A 変換器 25-1、25-2 に出力される。

### 【0083】

マイクロ波送受信部インターフェース 28 からの送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、D/A 変換器 25-1、25-2 によって、クロック発生器 27 からの送信シンボルクロックに同期して、送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）に変換され、変調器（MOD）23 に出力される。

D/A 変換器 25-1、25-2 からの送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）は、変調器（MOD）23 によって、送信 IF 信号に変換され、帯域通過フィルター（BPF）62 に出力される。この送信 IF 信号は、帯域通過フィルター（BPF）62 によって、搬送波周波数帯域に制限され、周波数変換器（CONV）61 に出力される。

帯域通過フィルター（BPF）62 からの送信 IF 信号は、周波数変換器（CONV）61 によって、局部発振器（OSC）58 により生成された局部発振信号と混合され送信 RF 信号に変換される。この送信 RF 信号は、帯域通過フィルター（BPF）60 によって、搬送波周波数帯域以外の不要の周波数成分が除去される。

不要の周波数成分が除去された送信 RF 信号は、電力増幅器（PA）59 によって、増幅され、デュープレクサー（DUP）52 からアンテナ 51 を介してネットワークに放射される。

### 【0084】

第 1 実施形態の情報処理端末システムでは、マイクロプロセッサ信号処理部

2のマイクロプロセッサ信号処理回路(CPU)26が、誤り訂正の処理、誤り訂正用冗長情報を付加する処理、符号・複合化の処理、識別情報付加・除去処理等を行っている。これらの処理は全てデジタル信号処理である。マイクロプロセッサ信号処理回路(CPU)26には、これらの処理を行う回路として、第2従来例の情報処理端末システムのマイクロ波送受信部17における復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の識別情報処理回路の機能が集積される。これにより、第1実施形態の情報処理端末システムでは、第2従来例の情報処理端末システムよりも小型にすることができる。このように、第1実施形態の情報処理端末システムでは、小型化を実現できる。

#### 【0085】

第1実施形態の情報処理端末システムでは、上述のように、マイクロプロセッサ信号処理回路(CPU)26に復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の識別情報処理回路の機能を集積している。このため、第1実施形態の情報処理端末システムは、第2従来例の情報処理端末システムよりも消費電力を小さくすることができる。このように、第1実施形態の情報処理端末システムでは、低消費電力を実現できる。

#### 【0086】

第1実施形態の情報処理端末システムでは、第2従来例の情報処理端末システムのマイクロ波送受信部17における復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の識別情報処理回路を、マイクロ波送受信部1に内蔵する必要がない。このため、信号の送受信(入出力)に伴ってマイクロ波送受信部1が発熱する発熱量は、第2従来例の情報処理端末システムにおけるマイクロ波送受信部17が発熱する発熱量よりも小さい。

第1実施形態の情報処理端末システムでは、上述のように、マイクロプロセッサ信号処理回路(CPU)26に復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース73の識別情報処理回路の機能を集積している。このため、第1実施形態の情報処理端末システムでは、マイクロプロセッサ信号処理部2が発熱するが、マイクロプロセッサ信号処理部2の放熱

構造を流用することで、マイクロプロセッサ信号処理部 2 の発熱を処理することが容易である。

このように、第 1 実施形態の情報処理端末システムでは、放熱処理が容易となる。

#### 【0087】

マイクロ波送受信部 1 がカード状のような形状の場合、マイクロ波送受信部 1 の発熱を放熱するための条件が通常より厳しく設定される。通常、マイクロ波送受信部 1 の発熱を放熱する場合、その放熱に必要な構造に製造する製造コストが発生する。第 1 実施形態の情報処理端末システムでは、マイクロ波送受信部 1 の低発熱化を実現できるため、上記の製造コストが発生しない。このように、第 1 実施形態の情報処理端末システムでは、低コスト化を実現できる。

#### 【0088】

第 1 実施形態の情報処理端末システムでは、マイクロ波送受信部 1 を着脱できる構造である。一般的な情報処理を行うために第 1 実施形態の情報処理端末システムを情報処理端末として使用する場合、送受信装置装置（マイクロ波送受信部 1）の機能が使用されない。このため、ユーザは、マイクロ波送受信部 1 とマイクロプロセッサ信号処理部 2 とを分離して、マイクロプロセッサ信号処理部 2 の機能のみで第 1 実施形態の情報処理端末システムを情報処理端末として使用できる。したがって、第 1 実施形態の情報処理端末システムでは、情報処理端末として利用するときの携帯性が向上する。

第 1 実施形態の情報処理端末システムでは、ハードウェア（マイクロ波送受信部 1）とソフトウェア（マイクロプロセッサ信号処理部 2）とに分離できるため、ハードウェア、ソフトウェアを個別に交換できる。第 1 実施形態の情報処理端末システムでは、ハードウェアに依存した仕様（例示：無線周波数）を変更する場合、ハードウェア（マイクロ波送受信部 1）のみを交換すればよい。したがって、第 1 実施形態の情報処理端末システムでは、仕様が変更された際に装置一式を別に用意する必要がないため、経済性に優れている。

このように、第 1 実施形態の情報処理端末システムでは、利用性（携帯性、経済性）が向上する。

## 【0089】

なお、第1実施形態の情報処理端末システムでは、変復調処理部81が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号（受信IF信号）を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部2に出力し、送信時に、マイクロプロセッサ信号処理部2からの送信デジタルBB信号を送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部81が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部2に出力し、送信時に、マイクロプロセッサ信号処理部2からの送信デジタルBB信号を送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

## 【0090】

この場合、本発明の第1実施形態の情報処理端末システムの変形例として、図9に示されるように、高周波処理部21は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。

復調器（DEM）22は、帯域通過フィルター（BPF）54からの受信RF信号を受信アナログBB信号（アナログI信号、アナログQ信号）に変換してA/D変換器24-1、24-2に出力する。

復調器（DEM）22の受信シンボルクロック再生回路は、この受信アナログBB信号に重畳されている受信シンボル周波数の $n$ 倍（ $n$ は整数）の周波数を有する受信シンボルクロックを生成（再生）して、A/D変換器24-1、24-2、マイクロ波送受信部インターフェース28に出力する。

変調器（MOD）23は、送信アナログBB信号（アナログI信号、アナログQ信号）を変調して送信RF信号に変換し、帯域通過フィルター（BPF）60を介して電力増幅器（PA）59に出力する。

## 【0091】

（第2実施形態）

図2は、本発明の第2実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第2実施形態の情報処理端末システムでは、小型化、低発熱化、低コスト化を実現し、スループットの低下を防止し、利用性（携帯性、経済性）が向上する。第2実施形態では、前述と重複する説明を省略する。

第2実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部3と、マイクロプロセッサ信号処理部4とを具備する。アンテナ51とマイクロ波送受信部3とは、送受信装置（通信装置）である。マイクロプロセッサ信号処理部4は、情報処理端末である。すなわち、第2実施形態の情報処理端末システムは、第1実施形態の情報処理端末システムのマイクロ波送受信部1、マイクロプロセッサ信号処理部2に代えて、マイクロ波送受信部3、マイクロプロセッサ信号処理部4を具備する。

マイクロ波送受信部3は、受信時に、アンテナ51を介して受信した、変調波である受信高周波信号（受信RF信号）を復調し受信データに変換してマイクロプロセッサ信号処理部4に出力する。マイクロ波送受信部3は、送信時に、マイクロプロセッサ信号処理部4からの送信データを、変調波である送信高周波信号（送信RF信号）に変換してアンテナ51を介して送信する。

#### 【0092】

このマイクロ波送受信部3は、高周波処理部21、変復調処理部82を備えている。この高周波処理部21は、第1実施形態と同じである（図1参照）。

高周波処理部21は、受信時に、アンテナ51を介して受信した受信RF信号を復調し受信中間周波信号（受信IF信号）に変換して変復調処理部82に出力する。高周波処理部21は、送信時に、変復調処理部82からの送信IF信号を送信RF信号に変換してアンテナ51を介して送信する。

変復調処理部82は、受信時に、高周波処理部21からの受信変調波信号である受信IF信号を受信データに変換してマイクロプロセッサ信号処理部4に出力する。変復調処理部82は、送信時に、マイクロプロセッサ信号処理部4からの送信データを送信変調波信号である送信IF信号に変換して高周波処理部21に出力する。

## 【0093】

変復調処理部82は、復調器(DEM)22、変調器(MOD)23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル(A/D)変換器24-1、24-2、デジタル/アナログ(D/A)変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース(I/F)46を備えている。復調器(DEM)22、変調器(MOD)23、A/D変換器24-1、24-2、D/A変換器25-1、25-2は、第1実施形態と同じである(図1参照)。すなわち、変復調処理部82は、第1実施形態における変復調処理部81のクロック発生器27、マイクロ波送受信部インターフェース28に代えて、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46を備えている。

## 【0094】

マイクロプロセッサ信号処理部4は、マイクロプロセッサ信号処理部インターフェース(I/F)47、マイクロプロセッサ信号処理回路(CPU)48を備えている。

マイクロプロセッサ信号処理回路(CPU)48は、マイクロプロセッサ(図示しない)、メモリ(図示しない)、入出力装置(図示しない)等を含み、そのメモリには、複数のプログラム(図示しない)が記憶されている。

マイクロプロセッサ信号処理部4は、更に、クロック発生器(図示しない)を備えている。

第2実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部4からマイクロ波送受信部3を着脱できる構造である。マイクロ波送受信部3とマイクロプロセッサ信号処理部4とが分離されているときでも、マイクロプロセッサ信号処理回路(CPU)48は、マイクロプロセッサ信号処理部4のクロック発生器からのクロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成など一般のプログラム(図示しない)を実行することができ、前記の一般的な情報処理(情報処理端末の機能のみが使用される処理)を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号処理部4の機能のみでも第2実施形態の情報処理端

末システムを情報処理端末として使用できる。

【0095】

まず、変復調処理部 82 について説明する。

【0096】

復調器 (DEM) 22 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。復調器 (DEM) 22 の搬送波再生回路は、第 1 実施形態における変復調処理部 81 の復調器 (DEM) 22 の搬送波再生回路と同じである。

この復調器 (DEM) 22 の受信シンボルクロック再生回路は、第 1 実施形態における変復調処理部 81 の復調器 (DEM) 22 の受信シンボルクロック再生回路に対して、受信シンボルクロックの出力先が異なる。その受信シンボルクロック再生回路は、受信アナログ BB 信号に重畳されている受信シンボル周波数の  $n$  倍 ( $n$  は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D 変換器 24-1、24-2、復号器 (DEC) 71、D/A 変換器 25-1、25-2、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 に出力する。

【0097】

A/D 変換器 24-1、24-2 は、受信シンボルクロックに同期したサンプリング周波数で復調器 (DEM) 22 からのアナログ I 信号、アナログ Q 信号をサンプリングし、サンプリング時のアナログ I 信号、アナログ Q 信号が示す搬送波の振幅に対応したデジタル同相成分信号 (デジタル I 信号)、デジタル直交成分信号 (デジタル Q 信号) を受信デジタルベースバンド信号 (受信デジタル BB 信号) として生成 (変換) して復号器 (DEC) 71 に出力する。

復号器 (DEC) 71 は、復調器 (DEM) 22 からの受信シンボルクロックに同期して、受信デジタル BB 信号であるデジタル I 信号、デジタル Q 信号に誤り訂正、復号化の処理を施し、マイクロ波送受信部インターフェース 46 に出力する。

【0098】

マイクロ波送受信部インターフェース46は、変換・識別情報処理回路（図示しない）を備えている。この変換・識別情報処理回路は、第1実施形態における変復調処理部81のマイクロ波送受信部インターフェース28の変換回路の機能と同じ変換回路が内蔵されている。この変換回路は、受信データ、送信データに信号レベル変換処理、パラレルビット変換処理を施す。

マイクロ波送受信部インターフェース46の変換・識別情報処理回路は、受信時に、復調器（DEM）22からの受信シンボルクロックに同期して、復号器（DEC）71からの受信デジタルBB信号に、信号レベル変換処理、パラレルビット変換処理、無線区間での信号識別用情報の除去処理（識別情報除去処理）を施した受信データを生成し、マイクロプロセッサ信号処理部4（マイクロプロセッサ信号処理部インターフェース47）に出力する。

マイクロ波送受信部インターフェース46の変換・識別情報処理回路は、送信時に、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理部4（マイクロプロセッサ信号処理部インターフェース47）からの送信データに、信号レベル変換処理、パラレルビット変換処理、無線区間での信号識別用情報の付加処理（識別情報付加処理）を施して符号器（ENC）72に出力する。

#### 【0099】

符号器（ENC）72は、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロ波送受信部インターフェース46からの送信データに誤り訂正用冗長情報を付加する処理、符号化の処理を施し、送信デジタルベースバンド信号（送信デジタルBB信号）としてデジタルI信号、デジタルQ信号を生成してD/A変換器25-1、25-2に出力する。

D/A変換器25-1、25-2は、復調器（DEM）22からの受信シンボルクロックに同期して、デジタルI信号、デジタルQ信号を送信アナログベースバンド信号（送信アナログBB信号）として、搬送波の振幅を示すアナログI信号、アナログQ信号に変換して変調器（MOD）23に出力する。

変調器（MOD）23は、送信アナログベースバンド信号（送信アナログBB信号）であるアナログI信号、アナログQ信号を同相搬送波と直交搬送波とで直



交変調して送信中間周波信号（送信 I F 信号）を生成し、帯域通過フィルター（BPF）62を介して周波数変換器（CONV）61に出力する。

#### 【0100】

次に、マイクロプロセッサ信号処理部4について説明する。

#### 【0101】

マイクロプロセッサ信号処理部インターフェース47は、マイクロ波送受信部3がマイクロプロセッサ信号処理部4に装着されているか否かにより、マイクロプロセッサ信号処理回路（CPU）48に出力されるクロックの発生源を切り替える。

マイクロプロセッサ信号処理部インターフェース47は、マイクロ波送受信部3がマイクロプロセッサ信号処理部4に装着されたとき、復調器（DEM）22からの受信シンボルクロックをマイクロプロセッサ信号処理回路（CPU）48に出力する。このとき、マイクロプロセッサ信号処理部インターフェース47は、マイクロプロセッサ信号処理部4のクロック発生器からのクロックがマイクロプロセッサ信号処理回路（CPU）48に出力されないように、そのクロック発生器を制御する。

#### 【0102】

マイクロプロセッサ信号処理部インターフェース47は、変換回路（図示しない）を備えている。この変換回路は、第1実施形態におけるマイクロプロセッサ信号処理部2のマイクロ波送受信部インターフェース29の変換回路の機能と同じ変換回路が内蔵されている。この変換回路は、受信データ、送信データに信号レベル変換処理、パラレルビット変換処理を施す。

マイクロプロセッサ信号処理部インターフェース47の変換回路は、受信時に、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロ波送受信部3（マイクロ波送受信部インターフェース46）からの受信データに信号レベル変換処理、パラレルビット変換処理を施し、その受信データをマイクロプロセッサ信号処理回路（CPU）48に出力する。

マイクロプロセッサ信号処理部インターフェース47の変換回路は、送信時に、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロ波

ロセッサ-信号処理回路 (CPU) 48からの送信データに信号レベル変換処理、パラレルビット変換処理を施し、その送信データをマイクロ波送受信部インターフェース46に出力する。

#### 【0103】

マイクロプロセッサ-信号処理回路 (CPU) 48は、メモリに記憶された複数のプログラムのうちの応用プログラム (例えば電子メール処理プログラムなど) (図示しない) を実行する。

マイクロプロセッサ-信号処理回路 (CPU) 48は、受信時に、その応用プログラム (例えば電子メール処理プログラムなど) により、マイクロプロセッサ-信号処理部インターフェース47からの受信データを処理する。

マイクロプロセッサ-信号処理回路 (CPU) 48は、送信時に、応用プログラム (例えば電子メール処理プログラムなど) によって生成された送信データを、復調器 (DEM) 22からの受信シンボルクロックに同期して、マイクロプロセッサ-信号処理部インターフェース47に出力する。

#### 【0104】

次に、第2実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第1実施形態と重複する説明を省略する。

#### 【0105】

帯域通過フィルター (BPF) 56からの受信IF信号は、復調器 (DEM) 22によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。この受信アナログBB信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが、復調器 (DEM) 22の受信シンボルクロック再生回路によって再生され、A/D変換器24-1、24-2、復号器 (DEC) 71、D/A変換器25-1、25-2、符号器 (ENC) 72、マイクロ波送受信部インターフェース46、マイクロプロセッサ-信号処理部インターフェース47、マイクロプロセッサ-信号処理回路 (CPU) 48に出力される。

#### 【0106】

復調器 (DEM) 22からのアナログI信号、アナログQ信号は、A/D変換

器 24-1、24-2 によって、受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタル BB 信号としてデジタル I 信号、デジタル Q 信号に変換され、復号器 (DEC) 71 に出力される。

A/D 変換器 24-1、24-2 からのデジタル I 信号、デジタル Q 信号は、復号器 (DEC) 71 によって、誤り訂正、復号化の処理が施され、復調器 (DEM) 22 からの受信シンボルクロックに同期してマイクロ波送受信部インターフェース 46 に出力される。

復号器 (DEC) 71 からの受信データは、マイクロ波送受信部インターフェース 46 によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理、識別情報除去処理が施された受信データに変換され、マイクロプロセッサ信号処理部インターフェース 47 に出力される。

#### 【0107】

マイクロ波送受信部インターフェース 46 からの受信データは、マイクロプロセッサ信号処理部インターフェース 47 によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路 (CPU) 48 に出力される。

マイクロプロセッサ信号処理回路 (CPU) 48 は、メモリに記憶された応用プログラム (例えば電子メール処理プログラム) により、マイクロプロセッサ信号処理部インターフェース 47 からの受信データを処理する。

#### 【0108】

次に、第 2 実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第 1 実施形態と重複する説明を省略する。

#### 【0109】

マイクロプロセッサ信号処理回路 (CPU) 48 は、応用プログラム (例えば電子メール処理プログラム) によって送信データを生成した後、その応用プログラムによって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、その送信データをマイクロプロセッサ信号処理部インターフェース 47 に出

力する。

マイクロプロセッサ信号処理回路 (CPU) 48からの送信データは、マイクロプロセッサ信号処理部インターフェース47によって、復調器 (DEM) 22からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース46に出力される。

#### 【0110】

マイクロプロセッサ信号処理部インターフェース47からの送信データは、マイクロ波送受信部インターフェース46によって、復調器 (DEM) 22からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理、識別情報付加処理が施され、符号器 (ENC) 72に出力される。

マイクロ波送受信部インターフェース46からの送信データは、符号器 (ENC) 72によって、復調器 (DEM) 22からの受信シンボルクロックに同期して、送信デジタルベースバンド信号 (送信デジタルBB信号) として、誤り訂正冗長情報を付加する処理、符号化の処理が施されたデジタルI信号、デジタルQ信号に変換され、D/A変換器25-1、25-2に出力される。

#### 【0111】

符号器 (ENC) 72からのデジタルI信号、デジタルQ信号は、D/A変換器25-1、25-2によって、復調器 (DEM) 22からの受信シンボルクロックに同期して、送信アナログBB信号としてアナログI信号、アナログQ信号に変換され、変調器 (MOD) 23に出力される。

D/A変換器25-1、25-2からの送信アナログBB信号 (アナログI信号、アナログQ信号) は、変調器 (MOD) 23によって、送信IF信号に変換され、帯域通過フィルター (BPF) 62に出力される。

#### 【0112】

第2実施形態の情報処理端末システムでは、A/D変換器24-1、24-2、復号器 (DEC) 71、D/A変換器25-1、25-2、符号器 (ENC) 72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路 (CPU) 48

は、復調器 (DEM) 22 からの受信シンボルクロックに同期したタイミングで動作する。このため、第2実施形態の情報処理端末システムでは、第2従来例の情報処理端末システムで行われるタイミング調整処理が不要である。したがって、第2実施形態の情報処理端末システムでは、タイミング調整処理に伴う受信データバッファ回路、送信データバッファ回路、タイミング調整回路が必要ない。これにより、第2実施形態の情報処理端末システムのマイクロ波送受信部3、マイクロプロセッサ信号処理部4 (マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47) では、第2従来例の情報処理端末システムのマイクロ波送受信部17、マイクロプロセッサ信号処理部18 (マイクロ波送受信部インターフェース73、マイクロプロセッサ信号処理部インターフェース74) よりも小型にすることができる。このように、第2実施形態の情報処理端末システムでは、小型化を実現できる。

#### 【0113】

第2実施形態の情報処理端末システムでは、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵する必要がない。このため、第2実施形態の情報処理端末システムは、第2従来例の情報処理端末システムよりも消費電力を小さくすることができる。このように、第2実施形態の情報処理端末システムでは、低消費電力を実現できる。

#### 【0114】

第2実施形態の情報処理端末システムでは、マイクロ波送受信部3、マイクロプロセッサ信号処理部4 (マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47) に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵する必要がない。このため、信号の送受信 (入出力) に伴ってマイクロ波送受信部3、マイクロプロセッサ信号処理部4 (マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47) が発熱する発熱量は、第2従来例の情報処理端末システムにおけるマイクロ波送受信部17、マイクロプロセッサ信号処理部18 (マイクロ波送受信部インターフェース73、マイクロプロセッサ

信号処理部インターフェース 74) が発熱する発熱量よりも小さい。このように、第 2 実施形態の情報処理端末システムでは、低発熱化を実現できる。

#### 【0115】

第 2 実施形態の情報処理端末システムでは、マイクロ波送受信部 3、マイクロプロセッサ信号処理部 4 (マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47) に受信データバッファ回路、送信データバッファ回路、タイミング調整回路を内蔵する必要がない。このため、第 2 実施形態の情報処理端末システムでは、マイクロ波送受信部 3、マイクロプロセッサ信号処理部 4 (マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47) を製造する製造コストは、第 2 従来例の情報処理端末システムにおけるマイクロ波送受信部 17、マイクロプロセッサ信号処理部 18 (マイクロ波送受信部インターフェース 73、マイクロプロセッサ信号処理部インターフェース 74) を製造する製造コストよりも安い。このように、第 2 実施形態の情報処理端末システムでは、低コスト化を実現できる。

#### 【0116】

第 2 従来例の情報処理端末システムでは、タイミング調整処理により、伝達遅延が生じてしまい、スループットの低下を起こしてしまう可能性がある。第 2 実施形態の情報処理端末システムでは、上述のように、第 2 従来例の情報処理端末システムで行われるタイミング調整処理が不要であり、A/D変換器 24-1、24-2、復号器 (DEC) 71、D/A変換器 25-1、25-2、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48は、復調器 (DEM) 22からの受信シンボルクロックに同期したタイミングで動作する。このため、第 2 実施形態の情報処理端末システムでは、スループットの低下を防止する。

#### 【0117】

第 2 実施形態の情報処理端末システムでは、マイクロ波送受信部 3を着脱できる構造である。一般的な情報処理を行うために第 2 実施形態の情報処理端末シ

テムを情報処理端末として使用する場合、送受信装置（マイクロ波送受信部 3）の機能が使用されない。このため、ユーザは、マイクロ波送受信部 3 とマイクロプロセッサ信号処理部 4 とを分離して、マイクロプロセッサ信号処理部 4 の機能のみで第 2 実施形態の情報処理端末システムを情報処理端末として利用できる。したがって、第 2 実施形態の情報処理端末システムでは、情報処理端末として利用するときの携帯性が向上する。

第 2 実施形態の情報処理端末システムでは、ハードウェア（マイクロ波送受信部 3）とソフトウェア（マイクロプロセッサ信号処理部 4）とに分離できるため、ハードウェア、ソフトウェアを個別に交換できる。第 2 実施形態の情報処理端末システムでは、ハードウェアに依存した仕様（例示：無線周波数）を変更する場合、ハードウェア（マイクロ波送受信部 3）のみを交換すればよい。したがって、第 2 実施形態の情報処理端末システムでは、仕様が変更された際に装置一式を別に用意する必要がないため、経済性に優れている。

このように、第 2 実施形態の情報処理端末システムでは、利用性（携帯性、経済性）が向上する。

#### 【0118】

なお、第 2 実施形態の情報処理端末システムでは、変復調処理部 82 が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号（受信 IF 信号）を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号であるところの送信中間周波信号（送信 IF 信号）に変換して高周波処理部 21 に出力しているが、これに限定されない。変復調処理部 82 が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号として送信 RF 信号に変換して高周波処理部 21 に出力することもできる。

#### 【0119】

この場合、本発明の第 2 実施形態の情報処理端末システムの変形例として、図 10 に示されるように、高周波処理部 21 は、デュープレクサ（DUP）52

、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59を備えている。

復調器 (DEM) 22は、帯域通過フィルター (BPF) 54からの受信RF信号を受信アナログBB信号 (アナログI信号、アナログQ信号) に変換してA/D変換器24-1、24-2に出力する。

復調器 (DEM) 22の受信シンボルクロック再生回路は、この受信アナログBB信号に重畳されている受信シンボル周波数の $n$ 倍 ( $n$ は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D変換器24-1、24-2、復号器 (DEC) 71、D/A変換器25-1、25-2、符号器 (ENC) 72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路 (CPU) 48に出力する。

変調器 (MOD) 23は、送信アナログBB信号 (アナログI信号、アナログQ信号) を変調して送信RF信号に変換し、帯域通過フィルター (BPF) 60を介して電力増幅器 (PA) 59に出力する。

#### 【0120】

##### (第3実施形態)

図3は、本発明の第3実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第3実施形態の情報処理端末システムでは、第1実施形態の効果に加えて、第2実施形態の効果も実現する。第3実施形態では、前述と重複する説明を省略する。

第3実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部5と、マイクロプロセッサ信号処理部6とを具備する。アンテナ51とマイクロ波送受信部5とは、送受信装置 (通信装置) である。マイクロプロセッサ信号処理部6は、情報処理端末である。すなわち、第3実施形態の情報処理端末システムは、第1実施形態の情報処理端末システムのマイクロ波送受信部1、マイクロプロセッサ信号処理部2に代えて、マイクロ波送受信部5、マイクロプロセッサ信号処理部6を具備する。

#### 【0121】



このマイクロ波送受信部 5 は、高周波処理部 21、変復調処理部 83 を備えている。この高周波処理部 21 は、第 1 実施形態と同じである（図 1 参照）。

変復調処理部 83 は、復調器（DEM）22、変調器（MOD）23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル（A／D）変換器 24-1、24-2、デジタル／アナログ（D／A）変換器 25-1、25-2、マイクロ波送受信部インターフェース（I／F）31 を備えている。復調器（DEM）22、変調器（MOD）23、A／D 変換器 24-1、24-2、D／A 変換器 25-1、25-2 は、第 1 実施形態と同じである（図 1 参照）。すなわち、変復調処理部 83 は、第 1 実施形態における変復調処理部 81 のクロック発生器 27、マイクロ波送受信部インターフェース 28 に代えて、マイクロ波送受信部インターフェース 31 を備えている。

#### 【0122】

マイクロプロセッサ信号処理部 6 は、マイクロプロセッサ信号処理部インターフェース（I／F）34、マイクロプロセッサ信号処理回路（CPU）26 を備えている。マイクロプロセッサ信号処理回路（CPU）26 は、第 1 実施形態と同じである（図 1 参照）。すなわち、マイクロプロセッサ信号処理部 6 は、第 1 実施形態におけるマイクロプロセッサ信号処理部 2 のマイクロプロセッサ信号処理部インターフェース 29 に代えて、マイクロプロセッサ信号処理部インターフェース 34 を備えている。

マイクロプロセッサ信号処理部 6 は、更に、クロック発生器（図示しない）を備えている。

第 3 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 からマイクロ波送受信部 5 を着脱できる構造である。マイクロ波送受信部 5 とマイクロプロセッサ信号処理部 6 とが分離されているときでも、マイクロプロセッサ信号処理回路（CPU）26 は、マイクロプロセッサ信号処理部 6 のクロック発生器からのクロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成など一般のプログラム（図示しない）を実行することができ、前記の一般的な情報処理（情報処理端末の機能のみが使用される処理）を行うことが可能である。つまり、ユーザは

、マイクロプロセッサ信号処理部6の機能のみでも第3実施形態の情報処理端末システムを情報処理端末として使用できる。

#### 【0123】

変復調処理部83の復調器(DEM)22は、搬送波再生回路(図示しない)、受信シンボルクロック再生回路(図示しない)を備えている。変復調処理部83の復調器(DEM)22の搬送波再生回路は、第1実施形態における変復調処理部81の復調器(DEM)22の搬送波再生回路と同じである。

この復調器(DEM)22の受信シンボルクロック再生回路は、第1実施形態における変復調処理部81の復調器(DEM)22の受信シンボルクロック再生回路に対して、受信シンボルクロックの出力先が異なる。その受信シンボルクロック再生回路は、受信アナログBB信号に重畳されている受信シンボル周波数の $n$ 倍( $n$ は整数)の周波数を有する受信シンボルクロックを生成(再生)して、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路(CPU)26に出力する。

#### 【0124】

A/D変換器24-1、24-2は、受信シンボルクロックに同期したサンプリング周波数で復調器(DEM)22からのアナログI信号、アナログQ信号をサンプリングし、サンプリング時のアナログI信号、アナログQ信号が示す搬送波の振幅に対応したデジタル同相成分信号(デジタルI信号)、デジタル直交成分信号(デジタルQ信号)を受信デジタルベースバンド信号(受信デジタルBB信号)として生成(変換)してマイクロ波送受信部インターフェース31に出力する。

#### 【0125】

マイクロ波送受信部インターフェース31は、変換回路(図示しない)を備えている。マイクロ波送受信部インターフェース31の変換回路の機能は、第1実施形態における変復調処理部81のマイクロ波送受信部インターフェース28の変換回路の機能と同じである。

マイクロ波送受信部インターフェース31は、受信時に、復調器(DEM)2

2からの受信シンボルクロックに同期して、A/D変換器24-1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）に信号レベル変換処理、パラレルビット変換処理を施し、その受信デジタルBB信号（デジタルI信号、デジタルQ信号）をマイクロプロセッサ信号処理部6に出力する。

マイクロ波送受信部インターフェース31は、送信時に、復調器（DEM）22からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理部6（マイクロプロセッサ信号処理部インターフェース34）からの送信デジタルベースバンド信号（送信デジタルBB信号）であるデジタルI信号、デジタルQ信号に信号レベル変換処理、パラレルビット変換処理を施し、その送信デジタルBB信号（デジタルI信号、デジタルQ信号）をD/A変換器25-1、25-2に出力する。

#### 【0126】

マイクロプロセッサ信号処理部インターフェース34は、マイクロ波送受信部5がマイクロプロセッサ信号処理部6に装着されているか否かにより、マイクロプロセッサ信号処理回路（CPU）26に出力されるクロックの発生源を切り替える。

マイクロプロセッサ信号処理部インターフェース34は、マイクロ波送受信部5がマイクロプロセッサ信号処理部6に装着されたとき、復調器（DEM）22からの受信シンボルクロックをマイクロプロセッサ信号処理回路（CPU）26に出力する。このとき、マイクロプロセッサ信号処理部インターフェース34は、マイクロプロセッサ信号処理部6のクロック発生器からのクロックがマイクロプロセッサ信号処理回路（CPU）26に出力されないように、そのクロック発生器を制御する。

#### 【0127】

マイクロプロセッサ信号処理部インターフェース34は、変換回路（図示しない）を備えている。マイクロプロセッサ信号処理部インターフェース34の変換回路の機能は、第1実施形態におけるマイクロプロセッサ信号処理部2のマイクロプロセッサ信号処理部インターフェース29の変換回路の機能と同じである。

マイクロプロセッサ信号処理部インターフェース 34 の変換回路は、受信時に、復調器 (DEM) 22 からの受信シンボルクロックに同期して、マイクロ波送受信部 5 (マイクロ波送受信部インターフェース 31) からの受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) に信号レベル変換処理、パラレルビット変換処理を施し、その受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) をマイクロプロセッサ信号処理回路 (CPU) 26 に出力する。

マイクロプロセッサ信号処理部インターフェース 34 の変換回路は、送信時に、復調器 (DEM) 22 からの受信シンボルクロックに同期して、マイクロプロセッサ信号処理回路 (CPU) 26 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) に信号レベル変換処理、パラレルビット変換処理を施し、その送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) をマイクロ波送受信部インターフェース 31 に出力する。

#### 【0128】

次に、第 3 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第 1 実施形態と重複する説明を省略する。

#### 【0129】

帯域通過フィルタ (BPF) 56 からの受信 IF 信号は、復調器 (DEM) 22 によって、受信アナログ BB 信号としてアナログ I 信号、アナログ Q 信号に変換され、A/D 変換器 24-1、24-2 に出力される。この受信アナログ BB 信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが復調器 (DEM) 22 の受信シンボルクロック再生回路によって再生され、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力される。

#### 【0130】

復調器 (DEM) 22 からのアナログ I 信号、アナログ Q 信号は、A/D 変換器 24-1、24-2 によって、受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタル BB 信号としてデジタル I 信号、デジタル Q 信号に変換され、マイクロ波送受信部インターフェース 31 に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース31の変換回路によって、復調器（DEM）22からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース34に出力される。

#### 【0131】

マイクロ波送受信部インターフェース31からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース34の変換回路によって、復調器（DEM）22からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路（CPU）26に出力される。

マイクロプロセッサ信号処理部インターフェース34からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理回路（CPU）26が実行する通信処理プログラムによって、復調器（DEM）22からの受信シンボルクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

#### 【0132】

次に、第3実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第1実施形態と重複する説明を省略する。

#### 【0133】

マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）によって送信データを生成した後、通信処理プログラムによって、復調器（DEM）22からの受信シンボルクロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）に変換し、マイクロプロセッサ信号処理部イ

ンターフェース 34 に出力する。

マイクロプロセッサ信号処理回路 (CPU) 26 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理部インターフェース 34 の変換回路によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース 31 に出力される。

#### 【0134】

マイクロプロセッサ信号処理部インターフェース 34 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロ波送受信部インターフェース 31 の変換回路によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A 変換器 25-1、25-2 に出力される。

#### 【0135】

マイクロ波送受信部インターフェース 31 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、D/A 変換器 25-1、25-2 によって、復調器 (DEM) 22 からの受信シンボルクロックに同期して、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換され、変調器 (MOD) 23 に出力される。

D/A 変換器 25-1、25-2 からの送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) は、変調器 (MOD) 23 によって、送信 IF 信号に変換され、帯域通過フィルター (BPF) 62 に出力される。

#### 【0136】

第 3 実施形態の情報処理端末システムでは、A/D 変換器 24-1、24-2、復号器 (DEC) 71、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 は、復調器 (DEM) 22 からの受信シンボルクロックに同期したタイミングで動作する。このため、第 3 実施形態の情報処理端末システムでは、第 2 従来例、第 1 実施形態の情報処理端末システムで行われるタイミング調整処理が不要になる。したがって、第 3 実

施形態の情報処理端末システムでは、タイミング調整処理に伴う受信データバッファ回路、送信データバッファ回路、タイミング調整回路、データ（信号）を監視する機能、割込回路が必要ない。このように、第3実施形態の情報処理端末システムでは、第1実施形態の効果に加えて、第2実施形態の効果も実現する。

#### 【0137】

なお、第3実施形態の情報処理端末システムでは、変復調処理部83が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号（受信IF信号）を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デジタルBB信号を送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部83が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デジタルBB信号を送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

#### 【0138】

この場合、本発明の第3実施形態の情報処理端末システムの変形例として、図11に示されるように、高周波処理部21は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。

復調器（DEM）22は、帯域通過フィルター（BPF）54からの受信RF信号を受信アナログBB信号（アナログI信号、アナログQ信号）に変換してA/D変換器24-1、24-2に出力する。

復調器（DEM）22の受信シンボルクロック再生回路は、この受信アナログBB信号に重畳されている受信シンボル周波数の $n$ 倍（ $n$ は整数）の周波数を有する受信シンボルクロックを生成（再生）して、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッ

サー信号処理回路 (CPU) 26 に出力する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

#### 【0139】

##### (第4実施形態)

図4は、本発明の第4実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第4実施形態の情報処理端末システムでは、第3実施形態の効果に加えて、受信シンボルクロックに同期したシンボルクロックを、そのシンボルクロックの受け側の用途に合わせて生成できる。第4実施形態では、前述と重複する説明を省略する。

第4実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部7と、マイクロプロセッサ信号処理部6とを具備する。アンテナ51とマイクロ波送受信部7とは、送受信装置 (通信装置) である。マイクロプロセッサ信号処理部6は、情報処理端末である。すなわち、第4実施形態の情報処理端末システムは、第3実施形態の情報処理端末システムのマイクロ波送受信部5に代えて、マイクロ波送受信部7を具備する。

第4実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部6からマイクロ波送受信部7を着脱できる構造である。マイクロ波送受信部7とマイクロプロセッサ信号処理部6とが分離されているとき、ユーザは、マイクロプロセッサ信号処理部6の機能のみで第4実施形態の情報処理端末システムを情報処理端末として使用できる。

#### 【0140】

マイクロ波送受信部7は、高周波処理部21、変復調処理部84を備えている。この高周波処理部21は、第1実施形態と同じである (図1参照)。

変復調処理部84は、復調器 (DEM) 22、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル (A/D) 変換器24-1、24-2、デジタル/アナログ (D/A) 変換器25-1、25-2、マイクロ波送受信部インターフェース (I/F) 31、クロッ



ク発生器 (CLOCK GEN) 35 を備えている。復調器 (DEM) 22、変調器 (MOD) 23、A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、マイクロ波送受信部インターフェース 31 は、第3実施形態と同じである (図3参照)。すなわち、変復調処理部 84 は、第3実施形態における変復調処理部 83 の構成に加えて、クロック発生器 35 を更に備えている。

#### 【0141】

変復調処理部 84 の復調器 (DEM) 22 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。変復調処理部 84 の復調器 (DEM) 22 の搬送波再生回路は、第1実施形態における変復調処理部 81 の復調器 (DEM) 22 の搬送波再生回路と同じである。

この復調器 (DEM) 22 の受信シンボルクロック再生回路は、第3実施形態における変復調処理部 83 の復調器 (DEM) 22 の受信シンボルクロック再生回路に対して、受信シンボルクロックの出力先が異なる。その受信シンボルクロック再生回路は、受信アナログBB信号に重畳されている受信シンボル周波数の  $n$  倍 ( $n$  は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、クロック発生器 35 に出力する。

#### 【0142】

クロック発生器 35 としては、分周回路、PLL (Phase Locked Loop) 回路が用いられる。このクロック発生器 35 は、復調器 (DEM) 22 からの受信シンボルクロックに基づいて、2次受信シンボルクロックを生成して、その2次受信シンボルクロックの受け側であるA/D変換器 24-1、24-2、D/A変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力する。この2次受信シンボルクロックは、受信シンボルクロックに同期しているが、受信シンボルクロックの周波数とは異なる周波数を有する。

A/D変換器 24-1、24-2 が、受信アナログBB信号を受信デジタルBB信号に変換するときに4倍オーバーサンプリング ( $n=4$ ) で行う場合、クロック発生器 35 は、受信シンボル周波数の4倍の周波数を有する2次受信シンボ

ルクロックを生成してA/D変換器24-1、24-2に出力する。D/A変換器25-1、25-2が送信デジタルBB信号を送信アナログBB信号に変換するときに用いられる送信シンボル周波数が受信シンボルクロックの周波数の10分の1である場合、クロック発生器35は、受信シンボル周波数の(1/10)倍の周波数を有する2次受信シンボルクロックを生成してD/A変換器25-1、25-2に出力する。このように、第4実施形態の情報処理端末システムでは、第3実施形態の効果に加えて、受信シンボルクロックに同期した2次受信シンボルクロックを、その2次受信シンボルクロックの受け側の用途に合わせて生成できる。

#### 【0143】

次に、第4実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第3実施形態と重複する説明を省略する。

#### 【0144】

帯域通過フィルター(BPF)56からの受信IF信号は、復調器(DEM)22によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。この受信アナログBB信号に含まれる受信シンボル周波数に同期した1次受信シンボルクロックが復調器(DEM)22の受信シンボルクロック再生回路によって再生され、クロック発生器35に出力される。この1次受信シンボルクロックを入力として、クロック発生器35は2次受信シンボルクロックを生成し、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路(CPU)26に出力する。

#### 【0145】

復調器(DEM)22からのアナログI信号、アナログQ信号は、A/D変換器24-1、24-2によって、クロック発生器35からの2次受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタルBB信号としてデジタルI信号、デジタルQ信号に変換され、マイクロ波送受信部インターフェース31に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース31の変換回路によって、クロック発生器35からの2次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース34に出力される。

#### 【0146】

マイクロ波送受信部インターフェース31からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース34の変換回路によって、クロック発生器35からの2次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路（CPU）26に出力される。

マイクロプロセッサ信号処理部インターフェース34からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理回路（CPU）26が実行する通信処理プログラムによって、クロック発生器35からの2次受信シンボルクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

#### 【0147】

次に、第4実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第3実施形態と重複する説明を省略する。

#### 【0148】

マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）によって送信データを生成した後、通信処理プログラムによって、クロック発生器35からの2次受信シンボルクロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）に変換し、マイクロプロセッサ信号処理部インターフェース34に出力する。

マイクロプロセッサ信号処理回路 (CPU) 26 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理部インターフェース 34 の変換回路によって、クロック発生器 35 からの 2 次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース 31 に出力される。

#### 【0149】

マイクロプロセッサ信号処理部インターフェース 34 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロ波送受信部インターフェース 31 の変換回路によって、クロック発生器 35 からの 2 次受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A 変換器 25-1、25-2 に出力される。

#### 【0150】

マイクロ波送受信部インターフェース 31 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、D/A 変換器 25-1、25-2 によって、クロック発生器 35 からの 2 次受信シンボルクロックに同期して、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換され、変調器 (MOD) 23 に出力される。

D/A 変換器 25-1、25-2 からの送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) は、変調器 (MOD) 23 によって、送信 IF 信号に変換され、帯域通過フィルター (BPF) 62 に出力される。

#### 【0151】

第 4 実施形態の情報処理端末システムでは、第 3 実施形態の効果に加えて、受信シンボルクロックに同期した 2 次受信シンボルクロックを、その 2 次受信シンボルクロックの受け側の用途に合わせて生成できる。

#### 【0152】

なお、第 4 実施形態の情報処理端末システムでは、変復調処理部 84 が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号 (受信 IF 信号) を受信デジタル BB 信号に変換してマイクロプロセッサ信号処理部 6 に出力し、送信時に、マイクロプロセッサ信号処理部 6 からの送信デ

デジタルBB信号を送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部84が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デジタルBB信号を送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

#### 【0153】

この場合、本発明の第4実施形態の情報処理端末システムの変形例として、図12に示されるように、高周波処理部21は、デュープレクサー（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。

復調器（DEM）22は、帯域通過フィルター（BPF）54からの受信RF信号を受信アナログBB信号（アナログI信号、アナログQ信号）に変換してA/D変換器24-1、24-2に出力する。

復調器（DEM）22の受信シンボルクロック再生回路は、この受信アナログBB信号に重畳されている受信シンボル周波数の $n$ 倍（ $n$ は整数）の周波数を有する受信シンボルクロックを生成（再生）して、クロック発生器35に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路（CPU）26は、クロック発生器35からの2次受信シンボルクロックに同期して動作する。

変調器（MOD）23は、送信アナログBB信号（アナログI信号、アナログQ信号）を変調して送信RF信号に変換し、帯域通過フィルター（BPF）60を介して電力増幅器（PA）59に出力する。

#### 【0154】

また、本発明では、第4'実施形態の情報処理端末システムとして、図17に示されるように、第4実施形態の情報処理端末システムを第2実施形態の情報処理端末システムに適用することができる。

第4' 実施形態の情報処理端末システムは、マイクロプロセッサ-信号処理部6に代えて、第2実施形態のマイクロプロセッサ-信号処理部4を具備する。このマイクロプロセッサ-信号処理部4は、前述したように、マイクロプロセッサ-信号処理部インターフェース47、マイクロプロセッサ-信号処理回路(CPU)48を備えている。第4' 実施形態の情報処理端末システムでは、マイクロ波送受信部7は、変復調処理部84に代えて、変復調処理部84'を備えている。変復調処理部84'は、復調器(DEM)22、変調器(MOD)23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、クロック発生器35を備えている。

#### 【0155】

この場合、クロック発生器35は、復調器(DEM)22からの1次受信シンボルクロックに基づいて、2次受信シンボルクロックを生成して、その2次受信シンボルクロックの受け側であるA/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、マイクロプロセッサ-信号処理部インターフェース47、マイクロプロセッサ-信号処理回路(CPU)48に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、マイクロプロセッサ-信号処理部インターフェース47、マイクロプロセッサ-信号処理回路(CPU)48は、クロック発生器35からの2次受信シンボルクロックに同期して動作する。

#### 【0156】

また、第4' 実施形態の情報処理端末システムでは、変復調処理部84'が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号(受信IF信号)を受信データに変換してマイクロプロセッサ-信号処理部4に出力し、送信時に、マイクロプロセッサ-信号処理部4からの送信データを送信変調波信号であるところの送信中間周波信号(送信IF信号)に変換して高

周波処理部 21 に出力しているが、これに限定されない。変復調処理部 84' が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号として送信 RF 信号に変換して高周波処理部 21 に出力することもできる。

#### 【0157】

この場合、本発明の第 4' 実施形態の情報処理端末システムの変形例として、図 22 に示されるように、高周波処理部 21 は、デュープレクサ (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59 を備えている。

復調器 (DEM) 22 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。

復調器 (DEM) 22 の受信シンボルクロック再生回路は、この受信アナログ BB 信号に重畳されている受信シンボル周波数の  $n$  倍 ( $n$  は整数) の周波数を有する 1 次シンボルクロックを生成 (再生) して、クロック発生器 35 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 35 からの 2 次受信シンボルクロックに同期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

#### 【0158】

##### (第 5 実施形態)

図 5 は、本発明の第 5 実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第 5 実施形態の情報処理端末システムでは、第 3 実施形態の効果に加えて、受信シンボルクロ

ックがマイクロ波送受信部からマイクロプロセッサ信号処理部に出力されない状況でも、マイクロプロセッサ信号処理部内のマイクロプロセッサ信号処理回路(CPU)に出力されるクロックの発生源を切り替える必要なしに、そのマイクロプロセッサ信号処理回路(CPU)が常に動作する。第5実施形態では、前述と重複する説明を省略する。

第5実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部9と、マイクロプロセッサ信号処理部10とを具備する。アンテナ51とマイクロ波送受信部9とは、送受信装置(通信装置)である。マイクロプロセッサ信号処理部10は、情報処理端末である。すなわち、第5実施形態の情報処理端末システムは、第3実施形態の情報処理端末システムのマイクロ波送受信部5、マイクロプロセッサ信号処理部6に代えて、マイクロ波送受信部9、マイクロプロセッサ信号処理部10を具備する。

#### 【0159】

このマイクロ波送受信部9は、高周波処理部21、変復調処理部85を備えている。この高周波処理部21は、第1実施形態と同じである(図1参照)。

変復調処理部85は、復調器(DEM)22、変調器(MOD)23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル(A/D)変換器24-1、24-2、デジタル/アナログ(D/A)変換器25-1、25-2、マイクロ波送受信部インターフェース(I/F)31を備えている。復調器(DEM)22、変調器(MOD)23、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31は、第3実施形態と同じである(図3参照)。

#### 【0160】

マイクロプロセッサ信号処理部10は、マイクロプロセッサ信号処理部インターフェース(I/F)34、マイクロプロセッサ信号処理回路(CPU)26、クロック発生器(CLOCK GEN)36を備えている。マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路26は、第3実施形態と同じである(図3参照)。

第5実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部1



0 からマイクロ波送受信部 9 を着脱できる構造である。マイクロ波送受信部 9 とマイクロプロセッサ信号処理部 10 とが分離されているときでも、マイクロプロセッサ信号処理回路 (CPU) 26 は、クロック発生器 36 からの後述のクロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成などの一般のプログラム (図示しない) を実行することができ、前記の一般的な情報処理 (情報処理端末の機能のみが使用される処理) を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号処理部 10 の機能のみでも第 5 実施形態の情報処理端末システムを情報処理端末として使用できる。

#### 【0161】

変復調処理部 85 の復調器 (DEM) 22 は、搬送波再生回路 (図示しない)、受信シンボルクロック再生回路 (図示しない) を備えている。変復調処理部 85 の復調器 (DEM) 22 の搬送波再生回路は、第 1 実施形態における変復調処理部 81 の復調器 (DEM) 22 の搬送波再生回路と同じである。

この復調器 (DEM) 22 の受信シンボルクロック再生回路は、第 3 実施形態における変復調処理部 83 の復調器 (DEM) 22 に対して、受信シンボルクロックの出力先が異なる。その受信シンボルクロック再生回路は、受信アナログ BB 信号に重畳されている受信シンボル周波数の  $n$  倍 ( $n$  は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、クロック発生器 36 に出力する。

#### 【0162】

クロック発生器 36 としては、分周回路、PLL (Phase Locked Loop) 回路が用いられる。クロック発生器 36 は、復調器 (DEM) 22 からの受信シンボルクロックを 1 次クロックとして入力し、その PLL 回路により、その 1 次クロックに同期した 2 次クロックを生成し、マイクロプロセッサ信号処理回路 (CPU) 26 に出力する。1 次クロックがない場合、クロック発生器 36 は、自走発振して 2 次クロックをマイクロプロセッサ信号処理回路 (

CPU) 26に出力する。

#### 【0163】

次に、第5実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第3実施形態と重複する説明を省略する。

#### 【0164】

帯域通過フィルター (BPF) 56からの受信IF信号は、復調器 (DEM) 22によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。この受信アナログBB信号に含まれる受信シンボル周波数に同期した受信シンボルクロックが復調器 (DEM) 22の受信シンボルクロック再生回路によって再生され、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、クロック発生器36に出力される。クロック発生器36は、復調器 (DEM) 22からの受信シンボルクロック (1次クロック) に同期した2次クロックを生成し、マイクロプロセッサ信号処理回路 (CPU) 26に出力する。

マイクロプロセッサ信号処理部インターフェース34からの受信デジタルBB信号 (デジタルI信号、デジタルQ信号) は、マイクロプロセッサ信号処理回路 (CPU) 26が実行する通信処理プログラムによって、クロック発生器36からの2次クロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路 (CPU) 26は、応用プログラム (例えば電子メール処理プログラム) により、受信データを処理する。

#### 【0165】

次に、第5実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第3実施形態と重複する説明を省略する。

#### 【0166】

マイクロプロセッサ信号処理回路 (CPU) 26は、応用プログラム (例えば電子メール処理プログラム) によって送信データを生成した後、通信処理プログラムによって、クロック発生器36からの2次クロックに同期して、送信デー

タに誤り訂正冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）に変換し、マイクロプロセッサ信号処理部インターフェース34に出力する。

#### 【0167】

第5実施形態の情報処理端末システムでは、受信断の場合、又は、マイクロ波送受信部9とマイクロプロセッサ信号処理部10とが何らかの理由で分離された場合、マイクロプロセッサ信号処理部10は、受信シンボルクロック（1次クロック）を入力できなくなる。この場合でも、クロック発生器36のPLL回路の自走発振により、2次クロックがマイクロプロセッサ信号処理回路（CPU）26に出力される。このため、マイクロ波送受信部9がマイクロプロセッサ信号処理部10に装着されている場合や、マイクロ波送受信部9とマイクロプロセッサ信号処理部10とが分離されている場合でも、マイクロプロセッサ信号処理回路（CPU）26は、クロック発生器36からの2次クロックに同期したタイミングで動作する。このように、第5実施形態の情報処理端末システムでは、第3実施形態の効果に加えて、受信シンボルクロックがマイクロ波送受信部9からマイクロプロセッサ信号処理部10に出力されない状況でも、マイクロプロセッサ信号処理部10内のマイクロプロセッサ信号処理回路（CPU）26に出力されるクロックの発生源を切り替える必要がなく、そのマイクロプロセッサ信号処理回路（CPU）26が常に動作する。

#### 【0168】

本実施例では、クロック発生器36が、1次クロックである受信シンボルクロックに同期した2次クロックをマイクロプロセッサ信号処理回路（CPU）26に供給しているが、受信シンボルクロックの周波数とは異なる周波数を有する2次クロックをマイクロプロセッサ信号処理回路（CPU）26に供給することができる。この結果、第5実施形態の情報処理端末システムでは、低電力モード時にマイクロプロセッサ信号処理回路（CPU）26の動作周波数を下げるなど、動作周波数の変更が容易になる。

#### 【0169】

なお、第5実施形態の情報処理端末システムでは、変復調処理部85が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号（受信IF信号）を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部10に出力し、送信時に、マイクロプロセッサ信号処理部10からの送信デジタルBB信号を送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部85が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部10に出力し、送信時に、マイクロプロセッサ信号処理部10からの送信デジタルBB信号を送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

#### 【0170】

この場合、本発明の第5実施形態の情報処理端末システムの変形例として、図13に示されるように、高周波処理部21は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。

復調器（DEM）22は、帯域通過フィルター（BPF）54からの受信RF信号を受信アナログBB信号（アナログI信号、アナログQ信号）に変換してA/D変換器24-1、24-2に出力する。

復調器（DEM）22の受信シンボルクロック再生回路は、この受信アナログBB信号に重畳されている受信シンボル周波数の $n$ 倍（ $n$ は整数）の周波数を有する受信シンボルクロックを生成（再生）して、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、クロック発生器36に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、クロック発生器36は、復調器（DEM）22からの受信シンボルクロックに同期して動作する。マイクロプロセッサ信号処理回路（CPU）48は、クロック発生器36からの2次受信シンボルクロックに同

期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

#### 【0171】

また、本発明では、第 5' 実施形態の情報処理端末システムとして、図 18 に示されるように、第 5 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用することができる。

第 5' 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 10 に代えて、マイクロプロセッサ信号処理部 10' を具備する。マイクロプロセッサ信号処理部 10' は、第 2 実施形態のマイクロプロセッサ信号処理部 4 のマイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 と、上述のクロック発生器 36 とを備えている。第 5' 実施形態の情報処理端末システムでは、マイクロ波送受信部 9 は、変復調処理部 85 に代えて、変復調処理部 85' を備えている。変復調処理部 85' は、復調器 (DEM) 22、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46 を備えている。

#### 【0172】

この場合、復調器 (DEM) 22 の受信シンボルクロック再生回路は、復調器 (DEM) 22 で生成される受信アナログ BB 信号に重畳されている受信シンボル周波数の  $n$  倍 ( $n$  は整数) の周波数を有する受信シンボルクロックを生成 (再生) して、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、クロック発生器 36 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェー

ス47、クロック発生器36は、復調器(DEM)22からの受信シンボルクロックに同期して動作する。マイクロプロセッサ-信号処理回路(CPU)48は、クロック発生器36からの2次受信シンボルクロックに同期して動作する。

### 【0173】

また、第5'実施形態の情報処理端末システムでは、変復調処理部85'が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号(受信IF信号)を受信データに変換してマイクロプロセッサ-信号処理部10'に出力し、送信時に、マイクロプロセッサ-信号処理部10'からの送信データを送信変調波信号であるところの送信中間周波信号(送信IF信号)に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部85'が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信データに変換してマイクロプロセッサ-信号処理部10'に出力し、送信時に、マイクロプロセッサ-信号処理部10'からの送信データを送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

### 【0174】

この場合、本発明の第5'実施形態の情報処理端末システムの変形例として、図23に示されるように、高周波処理部21は、デュープレクサ- (DUP) 52、低雑音増幅器(LNA) 53、帯域通過フィルタ(BPF) 54、60、電力増幅器(PA) 59を備えている。

復調器(DEM)22は、帯域通過フィルタ(BPF)54からの受信RF信号を受信アナログBB信号(アナログI信号、アナログQ信号)に変換してA/D変換器24-1、24-2に出力する。

復調器(DEM)22の受信シンボルクロック再生回路は、この受信アナログBB信号に重畳されている受信シンボル周波数の $n$ 倍( $n$ は整数)の周波数を有する受信シンボルクロックを生成(再生)して、A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、マイクロプロセッサ-信号処理部インターフェース47、クロック発生器36に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、

符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、クロック発生器 36 は、復調器 (DEM) 22 からの受信シンボルクロックに同期して動作する。マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 36 からの 2 次受信シンボルクロックに同期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

#### 【0175】

##### (第 6 実施形態)

図 6 は、本発明の第 6 実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第 6 実施形態の情報処理端末システムでは、第 4 実施形態の効果に加えて、搬送波を再生する搬送波再生回路と受信シンボルクロックを再生する受信シンボルクロック再生回路とを簡略化でき、再生された搬送波、受信シンボルクロックの位相雑音を改善することができる。第 6 実施形態では、前述と重複する説明を省略する。

第 6 実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ 51 と、マイクロ波送受信部 11 と、マイクロプロセッサ信号処理部 6 とを具備する。アンテナ 51 とマイクロ波送受信部 11 とは、送受信装置 (通信装置) である。マイクロプロセッサ信号処理部 6 は、情報処理端末である。すなわち、第 6 実施形態の情報処理端末システムは、第 4 実施形態の情報処理端末システムのマイクロ波送受信部 7 に代えて、マイクロ波送受信部 11 を具備する。

第 6 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 からマイクロ波送受信部 11 を着脱できる構造である。マイクロ波送受信部 11 とマイクロプロセッサ信号処理部 6 とが分離されているとき、ユーザは、マイクロプロセッサ信号処理部 6 の機能のみで第 6 実施形態の情報処理端末システムを情報処理端末として使用できる。

#### 【0176】

マイクロ波送受信部 11 は、高周波処理部 37、変復調処理部 86 を備えてい

る。

高周波処理部 37 は、受信時に、アンテナ 51 により受信された受信 RF 信号を復調し受信中間周波数信号（受信 IF 信号）に変換して変復調処理部 86 に出力する。高周波処理部 37 は、送信時に、変復調処理部 86 からの送信 IF 信号を送信 RF 信号に変換してアンテナ 51 を介して送信する。

変復調処理部 86 は、受信時に、高周波処理部 37 からの受信 IF 信号を受信デジタルベースバンド信号（受信デジタル BB 信号）に変換してマイクロプロセッサ信号処理部 6 に出力する。変復調処理部 86 は、送信時に、マイクロプロセッサ信号処理部 6 からの送信デジタルベースバンド信号（送信デジタル BB 信号）を送信 IF 信号に変換して高周波処理部 37 に出力する。

#### 【0177】

高周波処理部 37 は、デュープレクサー（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、56、60、62、周波数変換器（CONV）40、61、局部発振器（OSC）57、58、電力増幅器（PA）59 を備えている。デュープレクサー（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、56、60、62、周波数変換器（CONV）61、局部発振器（OSC）57、58、電力増幅器（PA）59 は、第 1 実施形態と同じである（図 1 参照）。すなわち、高周波処理部 37 は、第 1 実施形態におけるマイクロ波送受信部 1 の周波数変換器（CONV）55 に代えて、周波数変換器（CONV）40 を備えている。

#### 【0178】

変復調処理部 86 は、復調器（DEM）38、変調器（MOD）23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル（A/D）変換器 24-1、24-2、デジタル／アナログ（D/A）変換器 25-1、25-2、マイクロ波送受信部インターフェース（I/F）31、クロック発生器（CLOCK GEN）39 を備えている。変調器（MOD）23、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31 は、第 4 実施形態と同じである（図 4 参照）。すなわち、変復調処理部 86 は、第 4 実施形態における変復調処理部 84 の復調器



(DEM) 22、クロック発生器35に代えて、復調器 (DEM) 38、クロック発生器39を備えている。

#### 【0179】

周波数変換器 (CONV) 40は、帯域通過フィルター (BPF) 54により不要の周波数成分が除去された受信RF信号を、局部発振器 (OSC) 57により生成された局部発振信号と混合して受信中間周波数信号 (受信IF信号) に変換し、帯域通過フィルター (BPF) 56を介して変復調処理部86の復調器 (DEM) 38に出力する。

周波数変換器 (CONV) 40は、帯域通過フィルター (BPF) 54からの受信RF信号に重畳されている基準位相信号を生成 (抽出) して、クロック発生器39に出力する。

#### 【0180】

クロック発生器39は、受信シンボルクロック再生回路 (図示しない) を備えている。

クロック発生器39は、周波数変換器 (CONV) 40からの基準位相信号に基づいて、受信シンボル周波数の $n$ 倍 ( $n$ は整数) の周波数を有する受信シンボルクロックを生成 (再生) し、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路 (CPU) 26に出力する。受信シンボルクロックは、基準位相信号に同期し、基準位相信号の周波数とは異なる周波数を有する。

また、クロック発生器39は、搬送波再生回路 (図示しない) を備えている。

クロック発生器39は、周波数変換器 (CONV) 40からの基準位相信号に基づいて、搬送波を生成 (再生) し、復調器 (DEM) 38に出力する。搬送波は、基準位相信号に同期し、基準位相信号の周波数とは異なる周波数を有する。

#### 【0181】

変復調処理部86の復調器 (DEM) 38は、クロック発生器39から入力された搬送波を用いて同期検波を行い、帯域通過フィルター (BPF) 56からの受信IF信号を受信アナログBB信号に変換する。QAM変調信号の場合、復調

器 (DEM) 38 は、クロック発生器 39 から入力された搬送波から同相搬送波と直交搬送波とを生成 (再生) する。復調器 (DEM) 38 は、それらを用いて、QAM 変調波 (同相変調波と直交変調波) を同期検波することによって受信アナログ BB 信号、すなわちアナログ同相成分信号 (アナログ I 信号)、アナログ直交成分信号 (アナログ Q 信号) に変換し、A/D 変換器 24-1、24-2 に出力する。

#### 【0182】

A/D 変換器 24-1、24-2 は、クロック発生器 39 からの受信シンボルクロックに同期したサンプリング周波数で復調器 (DEM) 22 からのアナログ I 信号、アナログ Q 信号をサンプリングし、サンプリング時のアナログ I 信号、アナログ Q 信号が示す搬送波の振幅に対応したデジタル同相成分信号 (デジタル I 信号)、デジタル直交成分信号 (デジタル Q 信号) を受信デジタルベースバンド信号 (受信デジタル BB 信号) として生成 (変換) してマイクロ波送受信部インターフェース 31 に出力する。

#### 【0183】

次に、第 6 実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第 4 実施形態と重複する説明を省略する。

#### 【0184】

アンテナ 51 により受信された受信 RF 信号は、デュープレクサー (DUP) 52 によって低雑音増幅器 (LNA) 53 に出力される。受信 RF 信号は、低雑音増幅器 (LNA) 53 によって増幅され、帯域通過フィルター (BPF) 54 によって搬送波周波数帯域以外の不要の周波数成分が除去される。

不要の周波数成分が除去された受信 RF 信号は、周波数変換器 (CONV) 40 によって、局部発振器 (OSC) 57 により生成された局部発振信号と混合され受信 IF 信号に変換される。受信 IF 信号は、帯域通過フィルター (BPF) 56 によって搬送波周波数帯域が選択され、復調器 (DEM) 38 に出力される。

周波数変換器 (CONV) 40 によって受信 RF 信号は受信 IF 信号に変換されると同時に、受信 RF 信号に重畳された基準位相信号が周波数変換器 (CONV)

V) 40内の分波回路(図示しない)によって分離され、クロック発生器39に出力される。この基準位相信号により、基準位相信号に同期したクロックがクロック発生器39からA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路(CPU)26に出力される。また、この基準位相信号から再生された搬送波がクロック発生器39から復調器(DEM)38に出力される。

#### 【0185】

帯域通過フィルター(BPF)56からの受信IF信号は、復調器(DEM)38によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。

#### 【0186】

復調器(DEM)38からのアナログI信号、アナログQ信号は、A/D変換器24-1、24-2によって、クロック発生器39からの受信シンボルクロックに同期したサンプリング周波数でサンプリングされ、受信デジタルBB信号としてデジタルI信号、デジタルQ信号に変換され、マイクロ波送受信部インターフェース31に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロ波送受信部インターフェース31の変換回路によって、クロック発生器39からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース34に出力される。

#### 【0187】

マイクロ波送受信部インターフェース31からの受信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロプロセッサ信号処理部インターフェース34の変換回路によって、クロック発生器39からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路(CPU)26に出力される。

マイクロプロセッサ信号処理部インターフェース34からの受信デジタルB

B信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理回路（CPU）26が実行する通信処理プログラムによって、クロック発生器39からの受信シンボルクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

【0188】

次に、第6実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第4実施形態と重複する説明を省略する。

【0189】

マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）によって送信データを生成した後、通信処理プログラムによって、クロック発生器39からの受信シンボルクロックに同期して、送信データに誤り訂正冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号（デジタルI信号、デジタルQ信号）に変換し、マイクロプロセッサ信号処理部インターフェース34に出力する。

マイクロプロセッサ信号処理回路（CPU）26からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース34の変換回路によって、クロック発生器39からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース31に出力される。

【0190】

マイクロプロセッサ信号処理部インターフェース34からの送信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース31の変換回路によって、クロック発生器39からの受信シンボルクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A変換器25-1、25-2に出力される。

【0191】

マイクロ波送受信部インターフェース 31 からの送信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、D/A 変換器 25-1、25-2 によって、クロック発生器 39 からの受信シンボルクロックに同期して、送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）に変換され、変調器（MOD）23 に出力される。

D/A 変換器 25-1、25-2 からの送信アナログ BB 信号（アナログ I 信号、アナログ Q 信号）は、変調器（MOD）23 によって、送信 IF 信号に変換され、帯域通過フィルター（BPF）62 に出力される。

#### 【0192】

第 6 実施形態の情報処理端末システムでは、第 4 実施形態の復調器（DEM）22 が変調波を用いて搬送波を再生して受信シンボルクロックを再生するのではなく、周波数変換器（CONV）40 からの基準位相信号を用いて、クロック発生器 39 が受信シンボルクロック及び搬送波を再生する。このため、第 6 実施形態の情報処理端末システムでは、変調波に比べて位相情報が明確な基準位相信号から搬送波や受信シンボルクロックを再生することから、搬送波再生回路と受信シンボルクロック再生回路の構成を簡略化できる。

第 6 実施形態の情報処理端末システムでは、基準位相信号を用いて、搬送波、受信シンボルクロックを再生する。このため、第 6 実施形態の情報処理端末システムでは、再生された搬送波、受信シンボルクロックの位相雑音を改善することができる。

このように、第 6 実施形態の情報処理端末システムでは、第 4 実施形態の効果に加えて、搬送波を再生する搬送波再生回路と受信シンボルクロックを再生する受信シンボルクロック再生回路とを簡略化でき、再生された搬送波、受信シンボルクロックの位相雑音を改善することができる。

#### 【0193】

なお、本実施例では、クロック発生器 39 が搬送波再生回路を備えているが、クロック発生器 39 の代わりに、復調器（DEM）38 が搬送波再生回路を備える場合がある。この場合、クロック発生器 39 は、復調器（DEM）38 に基準位相信号に同期した信号（例えば受信シンボルクロックまたは基準位相信号その

ものであっても良い。)を出力する。復調器(D E M) 38はそれを元に同相搬送波と直交搬送波とを生成(再生)し、Q A M変調波(同相変調波と直交変調波)を同期検波することによって受信アナログB B信号、すなわちアナログ同相成分信号(アナログI信号)、アナログ直交成分信号(アナログQ信号)に変換し、A/D変換器24-1、24-2に出力する。

#### 【0194】

また、第6実施形態の情報処理端末システムでは、変復調処理部86が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号(受信I F信号)を受信デジタルB B信号に変換してマイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デジタルB B信号を送信変調波信号であるところの送信中間周波信号(送信I F信号)に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部86が、受信時に、高周波処理部21からの受信変調波信号として受信R F信号を受信デジタルB B信号に変換してマイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デジタルB B信号を送信変調波信号として送信R F信号に変換して高周波処理部21に出力することもできる。

#### 【0195】

この場合、本発明の第6実施形態の情報処理端末システムの変形例として、図14に示されるように、高周波処理部21は、デュープレクサ(D U P) 52、低雑音増幅器(L N A) 53、帯域通過フィルタ(B P F) 54、60、電力増幅器(P A) 59を備えている。帯域通過フィルタ(B P F) 54は、受信信号帯域通過フィルタ(図示しない)、基準信号帯域通過フィルタ(図示しない)を備えている。

帯域通過フィルタ(B P F) 54の受信信号帯域通過フィルタには、受信R F信号の周波数帯域が設定され、その受信信号帯域通過フィルタは、低雑音増幅器(L N A) 53より入力された受信R F信号のみを抽出し、復調器(D E M) 38に出力する。帯域通過フィルタ(B P F) 54の基準位相信号帯域通過フィルタには、基準位相信号の周波数帯域が設定され、その基準位相信号帯

域通過フィルターは、低雑音増幅器 (LNA) 53 より入力された受信 RF 信号に重畳されている基準位相信号のみを抽出し、クロック発生器 39 に出力する。

#### 【0196】

クロック発生器 39 は、帯域通過フィルター (BPF) 54 からの基準位相信号に基づいて、受信シンボルクロックを生成 (再生) し、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、マイクロ波送受信部インターフェース 31、マイクロプロセッサ信号処理部インターフェース 34、マイクロプロセッサ信号処理回路 (CPU) 26 は、クロック発生器 39 からの受信シンボルクロックに同期して動作する。また、クロック発生器 39 は、帯域通過フィルター (BPF) 54 からの基準位相信号に基づいて、搬送波を生成 (再生) し、復調器 (DEM) 38 に出力する。

復調器 (DEM) 38 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

#### 【0197】

また、本発明では、第 6' 実施形態の情報処理端末システムとして、図 19 に示されるように、第 6 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用することができる。

第 6' 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 に代えて、第 2 実施形態のマイクロプロセッサ信号処理部 4 を具備する。このマイクロプロセッサ信号処理部 4 は、前述したように、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 を備えている。第 6' 実施形態の情報処理端末システムでは、マイクロ

波送受信部 11 は、変復調処理部 86 に代えて、変復調処理部 86' を備えている。変復調処理部 86' は、復調器 (DEM) 38、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、クロック発生器 39 を備えている。

#### 【0198】

この場合、クロック発生器 39 は、周波数変換器 (CONV) 40 からの基準位相信号に基づいて、受信シンボルクロックを生成 (再生) し、A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 に出力する。A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 39 からの受信シンボルクロックに同期して動作する。また、クロック発生器 39 は、周波数変換器 (CONV) 40 からの基準位相信号に基づいて、搬送波を生成 (再生) し、復調器 (DEM) 38 に出力する。

#### 【0199】

また、第 6' 実施形態の情報処理端末システムでは、変復調処理部 86' が、受信時に、高周波処理部 21 からの受信変調波信号であるところの受信中間周波信号 (受信 IF 信号) を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号であるところの送信中間周波信号 (送信 IF 信号) に変換して高周波処理部 21 に出力しているが、これに限定されない。変復調処理部 86' が、受信時に、高周波処理部 21 からの受信変調波信号として受信 RF 信号を受信データに変換してマイクロプロセッサ信号処理部 4 に出力し、送信時に、マイクロプロセッサ信号処理部 4 からの送信データを送信変調波信号として送信 RF



F信号に変換して高周波処理部21に出力することもできる。

### 【0200】

この場合、本発明の第6'実施形態の情報処理端末システムの変形例として、図24に示されるように、高周波処理部21は、デュープレクサー(DUP)52、低雑音増幅器(LNA)53、帯域通過フィルター(BPF)54、60、電力増幅器(PA)59を備えている。帯域通過フィルター(BPF)54は、受信信号帯域通過フィルター(図示しない)、基準位相信号帯域通過フィルター(図示しない)を備えている。

帯域通過フィルター(BPF)54の受信信号帯域通過フィルターには、受信RF信号の周波数帯域が設定され、その受信信号帯域通過フィルターは、低雑音増幅器(LNA)53より入力された受信RF信号のみを抽出し、復調器(DEM)38に出力する。帯域通過フィルター(BPF)54の基準信号帯域通過フィルターには、基準位相信号の周波数帯域が設定され、その基準位相信号帯域通過フィルターは、低雑音増幅器(LNA)53より入力された受信RF信号に重畳されている基準位相信号のみを抽出し、クロック発生器39に出力する。

### 【0201】

クロック発生器39は、帯域通過フィルター(BPF)54からの基準位相信号に基づいて、受信シンボルクロックを生成(再生)し、A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路(CPU)48に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器(DEC)71、符号器(ENC)72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路(CPU)48は、クロック発生器39からの受信シンボルクロックに同期して動作する。また、クロック発生器39は、帯域通過フィルター(BPF)54からの基準位相信号に基づいて、搬送波を生成(再生)し、復調器(DEM)38に出力する。

復調器(DEM)38は、帯域通過フィルター(BPF)54からの受信RF

信号を受信アナログBB信号（アナログI信号、アナログQ信号）に変換してA/D変換器24-1、24-2に出力する。

変調器（MOD）23は、送信アナログBB信号（アナログI信号、アナログQ信号）を変調して送信RF信号に変換し、帯域通過フィルター（BPF）60を介して電力増幅器（PA）59に出力する。

### 【0202】

#### （第7実施形態）

図7は、本発明の第7実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第7実施形態の情報処理端末システムでは、第4実施形態の効果に加えて、受信シンボルクロック再生回路が不要になる。第7実施形態では、前述と重複する説明を省略する。

第7実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部13と、マイクロプロセッサ信号処理部6とを具備する。アンテナ51とマイクロ波送受信部13とは、送受信装置（通信装置）である。マイクロプロセッサ信号処理部6は、情報処理端末である。すなわち、第7実施形態の情報処理端末システムは、第4実施形態の情報処理端末システムのマイクロ波送受信部7に代えて、マイクロ波送受信部13を具備する。

第7実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部6からマイクロ波送受信部13を着脱できる構造である。マイクロ波送受信部13とマイクロプロセッサ信号処理部6とが分離されているとき、ユーザは、マイクロプロセッサ信号処理部6の機能のみでも第7実施形態の情報処理端末システムを情報処理端末として使用できる。

### 【0203】

このマイクロ波送受信部13は、高周波処理部21、変復調処理部87を備えている。この高周波処理部21は、第1実施形態と同じである（図1参照）。

変復調処理部87は、復調器（DEM）42、変調器（MOD）23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ/デジタル（A/D）変換器24-1、24-2、デジタル/アナログ（D/A）変換器25

ー1、25-2、マイクロ波送受信部インターフェース(I/F)31、クロック発生器(CLOCK GEN)41を備えている。変調器(MOD)23、A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31は、第4実施形態と同じである(図4参照)。すなわち、変復調処理部87は、第4実施形態における変復調処理部84の復調器(DEM)22、クロック発生器35に代えて、復調器(DEM)42、クロック発生器41を備えている。

#### 【0204】

変復調処理部87の復調器(DEM)42は、搬送波再生回路(図示しない)を備えている。復調器(DEM)42の搬送波再生回路は、第1実施形態における変復調処理部81の復調器(DEM)22の搬送波再生回路と同じである。

#### 【0205】

クロック発生器41は、自走発振によりクロックを生成してA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ-信号処理部インターフェース34、マイクロプロセッサ-信号処理回路(CPU)26に出力する。

#### 【0206】

次に、第7実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第4実施形態と重複する説明を省略する。

#### 【0207】

帯域通過フィルター(BPF)56からの受信IF信号は、復調器(DEM)42によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。

クロック発生器41の自走発振により、クロックがクロック発生器41からA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ-信号処理部インターフェース34、マイクロプロセッサ-信号処理回路(CPU)26に出力される。

#### 【0208】

復調器(DEM)38からのアナログI信号、アナログQ信号は、A/D変換

器 24-1、24-2 によって、クロック発生器 41 からのクロックに同期したサンプリング周波数でサンプリングされ、受信デジタル BB 信号としてデジタル I 信号、デジタル Q 信号に変換され、マイクロ波送受信部インターフェース 31 に出力される。

A/D 変換器 24-1、24-2 からの受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロ波送受信部インターフェース 31 の変換回路によって、クロック発生器 41 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース 34 に出力される。

#### 【0209】

マイクロ波送受信部インターフェース 31 からの受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロプロセッサ信号処理部インターフェース 34 の変換回路によって、クロック発生器 41 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路（CPU）26 に出力される。

マイクロプロセッサ信号処理部インターフェース 34 からの受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）は、マイクロプロセッサ信号処理回路（CPU）26 が実行する通信処理プログラムによって、クロック発生器 41 からのクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。このように、マイクロプロセッサ信号処理回路（CPU）26 では、受信デジタル BB 信号（デジタル I 信号、デジタル Q 信号）にデジタル波形処理を施すことにより波形を再生し、受信データを判別する。マイクロプロセッサ信号処理回路（CPU）26 は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

#### 【0210】

次に、第 7 実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第 4 実施形態と重複する説明を省略する。

#### 【0211】

マイクロプロセッサ信号処理回路 (CPU) 26 は、応用プログラム (例えば電子メール処理プログラム) によって送信データを生成した後、通信処理プログラムによって、クロック発生器 41 からのクロックに同期して、送信データに誤り訂正冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) に変換し、マイクロプロセッサ信号処理部インターフェース 34 に出力する。

マイクロプロセッサ信号処理回路 (CPU) 26 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロプロセッサ信号処理部インターフェース 34 の変換回路によって、クロック発生器 41 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース 31 に出力される。

#### 【0212】

マイクロプロセッサ信号処理部インターフェース 34 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、マイクロ波送受信部インターフェース 31 の変換回路によって、クロック発生器 41 からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A 変換器 25-1、25-2 に出力される。

#### 【0213】

マイクロ波送受信部インターフェース 31 からの送信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号) は、D/A 変換器 25-1、25-2 によって、クロック発生器 41 からのクロックに同期して、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換され、変調器 (MOD) 23 に出力される。

D/A 変換器 25-1、25-2 からの送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) は、変調器 (MOD) 23 によって、送信 IF 信号に変換され、帯域通過フィルター (BPF) 62 に出力される。

#### 【0214】

第 7 実施形態の情報処理端末システムでは、マイクロプロセッサ信号処理回路 (CPU) 26 で、受信デジタル BB 信号 (デジタル I 信号、デジタル Q 信号

）にデジタル波形処理を施すことにより波形を再生し、受信データを判別する。このため、復調器（DEM）42には受信シンボルクロックを再生する受信シンボルクロック再生回路が必要ない。このように、第7実施形態の情報処理端末システムでは、第4実施形態の効果に加えて、受信シンボルクロック再生回路が不要になる。

#### 【0215】

なお、第7実施形態の情報処理端末システムでは、変復調処理部87が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号（受信IF信号）を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デジタルBB信号を送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部87が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部6に出力し、送信時に、マイクロプロセッサ信号処理部6からの送信デジタルBB信号を送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

#### 【0216】

この場合、本発明の第7実施形態の情報処理端末システムの変形例として、図15に示されるように、高周波処理部21は、デュープレクサー（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。

復調器（DEM）42は、帯域通過フィルター（BPF）54からの受信RF信号を受信アナログBB信号（アナログI信号、アナログQ信号）に変換してA/D変換器24-1、24-2に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース31、マイクロプロセッサ信号処理部インターフェース34、マイクロプロセッサ信号処理回路（CPU）26は、クロック発生器41からのクロックに同期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

#### 【0217】

また、本発明では、第 7' 実施形態の情報処理端末システムとして、図 20 に示されるように、第 7 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用することができる。

第 7' 実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部 6 に代えて、第 2 実施形態のマイクロプロセッサ信号処理部 4 を具備する。このマイクロプロセッサ信号処理部 4 は、前述したように、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 を備えている。第 7' 実施形態の情報処理端末システムでは、マイクロ波送受信部 13 は、変復調処理部 87 に代えて、変復調処理部 87' を備えている。変復調処理部 87' は、復調器 (DEM) 42、ベースバンド処理部を備えている。そのベースバンド処理部は、変調器 (MOD) 23、A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、クロック発生器 41 を備えている。

#### 【0218】

この場合、クロック発生器 41 は、自走発振によりクロックを生成して A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 46、マイクロプロセッサ信号処理部インターフェース 47、マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 41 からのクロックに同期して動作する。

#### 【0219】

また、第7' 実施形態の情報処理端末システムでは、変復調処理部87' が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号（受信IF信号）を受信データに変換してマイクロプロセッサ信号処理部4に出力し、送信時に、マイクロプロセッサ信号処理部4からの送信データを送信変調波信号であるところの送信中間周波信号（送信IF信号）に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部87' が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信データに変換してマイクロプロセッサ信号処理部4に出力し、送信時に、マイクロプロセッサ信号処理部4からの送信データを送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

#### 【0220】

この場合、本発明の第7' 実施形態の情報処理端末システムの変形例として、図25に示されるように、高周波処理部21は、デュープレクサ（DUP）52、低雑音増幅器（LNA）53、帯域通過フィルター（BPF）54、60、電力増幅器（PA）59を備えている。

復調器（DEM）42は、帯域通過フィルター（BPF）54からの受信RF信号を受信アナログBB信号（アナログI信号、アナログQ信号）に変換してA/D変換器24-1、24-2に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、復号器（DEC）71、符号器（ENC）72、マイクロ波送受信部インターフェース46、マイクロプロセッサ信号処理部インターフェース47、マイクロプロセッサ信号処理回路（CPU）48は、クロック発生器41からのクロックに同期して動作する。

変調器（MOD）23は、送信アナログBB信号（アナログI信号、アナログQ信号）を変調して送信RF信号に変換し、帯域通過フィルター（BPF）60を介して電力増幅器（PA）59に出力する。

#### 【0221】

##### （第8実施形態）

図8は、本発明の第8実施形態の情報処理端末システムとして、マイクロ波帯直交振幅変調波を用いる情報処理端末システムの構成を示す。この第8実施形態



の情報処理端末システムでは、第7実施形態の効果に加えて、マイクロ波送受信部とマイクロプロセッサ信号処理部とが何らかの理由で分離された場合でも、マイクロプロセッサ信号処理部内のマイクロプロセッサ信号処理回路（CPU）が常に動作する。第8実施形態では、前述と重複する説明を省略する。

第8実施形態の情報処理端末システムは、ネットワークに接続されたアンテナ51と、マイクロ波送受信部15と、マイクロプロセッサ信号処理部16とを具備する。アンテナ51とマイクロ波送受信部15とは、送受信装置（通信装置）である。マイクロプロセッサ信号処理部16は、情報処理端末である。すなわち、第8実施形態の情報処理端末システムは、第7実施形態の情報処理端末システムのマイクロ波送受信部13、マイクロプロセッサ信号処理部6に代えて、マイクロ波送受信部15、マイクロプロセッサ信号処理部16を具備する。

#### 【0222】

このマイクロ波送受信部15は、高周波処理部21、変復調処理部88を備えている。この高周波処理部21は、第1実施形態と同じである（図1参照）。

変復調処理部88は、復調器（DEM）42、変調器（MOD）23、ベースバンド処理部を備えている。そのベースバンド処理部は、アナログ／デジタル（A／D）変換器24-1、24-2、デジタル／アナログ（D／A）変換器25-1、25-2、マイクロ波送受信部インターフェース（I／F）101を備えている。復調器（DEM）42、変調器（MOD）23、A／D変換器24-1、24-2、D／A変換器25-1、25-2は、第7実施形態と同じである（図7参照）。マイクロ波送受信部インターフェース（I／F）101は、その機能が上述のマイクロ波送受信部インターフェース（I／F）31と同じであるが、クロックの入出力が上述のマイクロ波送受信部インターフェース（I／F）31と異なる。

#### 【0223】

マイクロプロセッサ信号処理部16は、マイクロプロセッサ信号処理部インターフェース（I／F）102、マイクロプロセッサ信号処理回路（CPU）26、クロック発生器（CLOCK GEN）33を備えている。マイクロプロセッサ信号処理回路26は、第7実施形態と同じである（図7参照）。マイ

クロプロセッサ信号処理部インターフェース (I/F) 102は、その機能が上述のマイクロプロセッサ信号処理部インターフェース (I/F) 34と同じであるが、クロックの入出力が上述のマイクロプロセッサ信号処理部インターフェース (I/F) 34と異なる。

#### 【0224】

クロック発生器33は、自走発振によりクロックを生成してA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース101、マイクロプロセッサ信号処理部インターフェース102、マイクロプロセッサ信号処理回路 (CPU) 26に出力する。

第8実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部16からマイクロ波送受信部15を着脱できる構造である。マイクロ波送受信部15とマイクロプロセッサ信号処理部16とが分離されているときでも、マイクロプロセッサ信号処理回路 (CPU) 26は、クロック発生器33からのクロックに同期して、メモリに記憶された複数のプログラムのうち、マイクロ波送受信機能を利用しない表計算や文書作成など一般のプログラム (図示しない) を実行することができ、前記の一般的な情報処理 (情報処理端末の機能のみが使用される処理) を行うことが可能である。つまり、ユーザは、マイクロプロセッサ信号処理部16の機能のみでも第8実施形態の情報処理端末システムを情報処理端末として使用できる。

#### 【0225】

次に、第8実施形態の情報処理端末システムが信号を受信したときの動作を説明する。この動作については第7実施形態と重複する説明を省略する。

#### 【0226】

帯域通過フィルター (BPF) 56からの受信IF信号は、復調器 (DEM) 42によって、受信アナログBB信号としてアナログI信号、アナログQ信号に変換され、A/D変換器24-1、24-2に出力される。

クロック発生器33の自走発振により、クロックがクロック発生器33からA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース101、マイクロプロセッサ信号処理部インターフ

ェース102、マイクロプロセッサ信号処理回路（CPU）26に出力される。

#### 【0227】

復調器（DEM）38からのアナログI信号、アナログQ信号は、A/D変換器24-1、24-2によって、クロック発生器33からのクロックに同期したサンプリング周波数でサンプリングされ、受信デジタルBB信号としてデジタルI信号、デジタルQ信号に変換され、マイクロ波送受信部インターフェース101に出力される。

A/D変換器24-1、24-2からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロ波送受信部インターフェース101の変換回路によって、クロック発生器33からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理部インターフェース102に出力される。

#### 【0228】

マイクロ波送受信部インターフェース101からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理部インターフェース102の変換回路によって、クロック発生器33からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロプロセッサ信号処理回路（CPU）26に出力される。

マイクロプロセッサ信号処理部インターフェース102からの受信デジタルBB信号（デジタルI信号、デジタルQ信号）は、マイクロプロセッサ信号処理回路（CPU）26が実行する通信処理プログラムによって、クロック発生器33からのクロックに同期して、誤り訂正の処理、復号化の処理、識別情報除去処理、フーリエ変換、デジタル波形処理が施され、受信データに変換される。このように、マイクロプロセッサ信号処理回路（CPU）26では、受信デジタルBB信号（デジタルI信号、デジタルQ信号）にデジタル波形処理を施すことにより波形を再生し、受信データを判別する。マイクロプロセッサ信号処理回路（CPU）26は、応用プログラム（例えば電子メール処理プログラム）により、受信データを処理する。

## 【0229】

次に、第8実施形態の情報処理端末システムが信号を送信するときの動作を説明する。この動作については第7実施形態と重複する説明を省略する。

## 【0230】

マイクロプロセッサ信号処理回路(CPU)26は、応用プログラム(例えば電子メール処理プログラム)によって送信データを生成した後、通信処理プログラムによって、クロック発生器33からのクロックに同期して、送信データに誤り訂正用冗長情報を付加する処理、符号化の処理、識別情報付加処理、逆フーリエ変換、デジタル波形処理を施して送信デジタルBB信号(デジタルI信号、デジタルQ信号)に変換し、マイクロプロセッサ信号処理部インターフェース102に出力する。

マイクロプロセッサ信号処理回路(CPU)26からの送信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロプロセッサ信号処理部インターフェース102の変換回路によって、クロック発生器33からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、マイクロ波送受信部インターフェース101に出力される。

## 【0231】

マイクロプロセッサ信号処理部インターフェース102からの送信デジタルBB信号(デジタルI信号、デジタルQ信号)は、マイクロ波送受信部インターフェース101の変換回路によって、クロック発生器33からのクロックに同期して、信号レベル変換処理、パラレルビット変換処理が施され、D/A変換器25-1、25-2に出力される。

## 【0232】

マイクロ波送受信部インターフェース101からの送信デジタルBB信号(デジタルI信号、デジタルQ信号)は、D/A変換器25-1、25-2によって、クロック発生器33からのクロックに同期して、送信アナログBB信号(アナログI信号、アナログQ信号)に変換され、変調器(MOD)23に出力される。

D/A変換器25-1、25-2からの送信アナログBB信号(アナログI信

号、アナログQ信号)は、変調器(MOD)23によって、送信IF信号に変換され、帯域通過フィルター(BPF)62に出力される。

### 【0233】

第8実施形態の情報処理端末システムでは、上述のように、マイクロプロセッサ信号処理部16のクロック発生器33は、クロックをA/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース101、マイクロプロセッサ信号処理部インターフェース102、マイクロプロセッサ信号処理回路(CPU)26に出力している。このため、マイクロ波送受信部15とマイクロプロセッサ信号処理部16とが何らかの理由で分離された場合でも、クロック発生器33の自走発振により、クロックがマイクロプロセッサ信号処理回路(CPU)26に出力される。このため、マイクロプロセッサ信号処理回路(CPU)26は、クロック発生器33からのクロックに同期したタイミングで動作する。このように、第8実施形態の情報処理端末システムでは、第7実施形態の効果に加えて、マイクロ波送受信部15とマイクロプロセッサ信号処理部16とが何らかの理由で分離された場合でも、マイクロプロセッサ信号処理部16内のマイクロプロセッサ信号処理回路(CPU)26が常に動作する。

### 【0234】

なお、第8実施形態の情報処理端末システムでは、変復調処理部88が、受信時に、高周波処理部21からの受信変調波信号であるところの受信中間周波信号(受信IF信号)を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部16に出力し、送信時に、マイクロプロセッサ信号処理部16からの送信デジタルBB信号を送信変調波信号であるところの送信中間周波信号(送信IF信号)に変換して高周波処理部21に出力しているが、これに限定されない。変復調処理部88が、受信時に、高周波処理部21からの受信変調波信号として受信RF信号を受信デジタルBB信号に変換してマイクロプロセッサ信号処理部16に出力し、送信時に、マイクロプロセッサ信号処理部16からの送信デジタルBB信号を送信変調波信号として送信RF信号に変換して高周波処理部21に出力することもできる。

## 【0235】

この場合、本発明の第8実施形態の情報処理端末システムの変形例として、図16に示されるように、高周波処理部21は、デュープレクサー(DUP)52、低雑音増幅器(LNA)53、帯域通過フィルター(BPF)54、60、電力増幅器(PA)59を備えている。

復調器(DEM)42は、帯域通過フィルター(BPF)54からの受信RF信号を受信アナログBB信号(アナログI信号、アナログQ信号)に変換してA/D変換器24-1、24-2に出力する。A/D変換器24-1、24-2、D/A変換器25-1、25-2、マイクロ波送受信部インターフェース101、マイクロプロセッサ信号処理部インターフェース102、マイクロプロセッサ信号処理回路(CPU)26は、クロック発生器33からのクロックに同期して動作する。

変調器(MOD)23は、送信アナログBB信号(アナログI信号、アナログQ信号)を変調して送信RF信号に変換し、帯域通過フィルター(BPF)60を介して電力増幅器(PA)59に出力する。

## 【0236】

また、本発明では、第8'実施形態の情報処理端末システムとして、図21に示されるように、第8実施形態の情報処理端末システムを第2実施形態の情報処理端末システムに適用することができる。

第8'実施形態の情報処理端末システムは、マイクロプロセッサ信号処理部16に代えて、マイクロプロセッサ信号処理部16'を具備する。マイクロプロセッサ信号処理部16'は、第2実施形態のマイクロプロセッサ信号処理回路(CPU)48と、マイクロプロセッサ信号処理部インターフェース104と、上述のクロック発生器33とを備えている。マイクロプロセッサ信号処理部インターフェース104は、その機能が上述のマイクロプロセッサ信号処理部インターフェース47と同じであるが、クロックの入出力が上述のマイクロプロセッサ信号処理部インターフェース47と異なる。

第8'実施形態の情報処理端末システムでは、マイクロ波送受信部9は、変復調処理部88に代えて、変復調処理部88'を備えている。変復調処理部88'

は、復調器 (DEM) 42、変調器 (MOD) 23、ベースバンド処理部を備えている。そのベースバンド処理部は、A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 103を備えている。マイクロ波送受信部インターフェース 103は、その機能が上述のマイクロ波送受信部インターフェース 46と同じであるが、クロックの入出力が上述のマイクロ波送受信部インターフェース 46と異なる。

#### 【0237】

この場合、クロック発生器 33は、自走発振によりクロックを生成してA/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 103、マイクロプロセッサ信号処理部インターフェース 104、マイクロプロセッサ信号処理回路 (CPU) 48に出力する。A/D変換器 24-1、24-2、D/A変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 103、マイクロプロセッサ信号処理部インターフェース 104、マイクロプロセッサ信号処理回路 (CPU) 48は、クロック発生器 33からのクロックに同期して動作する。

#### 【0238】

また、第8'実施形態の情報処理端末システムでは、変復調処理部 88'が、受信時に、高周波処理部 21からの受信変調波信号であるところの受信中間周波信号 (受信 IF 信号) を受信データに変換してマイクロプロセッサ信号処理部 16'に出力し、送信時に、マイクロプロセッサ信号処理部 16'からの送信データを送信変調波信号であるところの送信中間周波信号 (送信 IF 信号) に変換して高周波処理部 21に出力しているが、これに限定されない。変復調処理部 88'が、受信時に、高周波処理部 21からの受信変調波信号として受信 RF 信号を受信データに変換してマイクロプロセッサ信号処理部 16'に出力し、送信時に、マイクロプロセッサ信号処理部 16'からの送信データを送信変調波信号として送信 RF 信号に変換して高周波処理部 21に出力することもできる。

#### 【0239】

この場合、本発明の第 8' 実施形態の情報処理端末システムの変形例として、図 26 に示されるように、高周波処理部 21 は、デュープレクサー (DUP) 52、低雑音増幅器 (LNA) 53、帯域通過フィルター (BPF) 54、60、電力増幅器 (PA) 59 を備えている。

復調器 (DEM) 42 は、帯域通過フィルター (BPF) 54 からの受信 RF 信号を受信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) に変換して A/D 変換器 24-1、24-2 に出力する。A/D 変換器 24-1、24-2、D/A 変換器 25-1、25-2、復号器 (DEC) 71、符号器 (ENC) 72、マイクロ波送受信部インターフェース 103、マイクロプロセッサ信号処理部インターフェース 104、マイクロプロセッサ信号処理回路 (CPU) 48 は、クロック発生器 33 からのクロックに同期して動作する。

変調器 (MOD) 23 は、送信アナログ BB 信号 (アナログ I 信号、アナログ Q 信号) を変調して送信 RF 信号に変換し、帯域通過フィルター (BPF) 60 を介して電力増幅器 (PA) 59 に出力する。

#### 【0240】

第 1 実施形態～第 8 実施形態とその変形例、第 4' 実施形態～第 8' 実施形態とその変形例において、直交振幅変調信号 (QAM 変調信号) の場合について説明したが、振幅変調、位相変調、周波数変調、その他の変調を含めシンボル単位でデジタルデータを伝送する場合でも本発明を適用できる。また、第 1 実施形態～第 8 実施形態において、マイクロ波を利用した無線通信のみならず、光を利用した有線通信にも適用できる。この場合、高周波 RF 信号は、搬送波に光を用いた変調波である高周波信号に置き換えられる。

#### 【0241】

##### 【発明の効果】

本発明の第 1 実施形態、第 2 実施形態の情報処理端末システムによれば、小型化を実現できる。

本発明の第 1 実施形態、第 2 実施形態の情報処理端末システムによれば、低消費電力を実現できる。

本発明の第 1 実施形態、第 2 実施形態の情報処理端末システムによれば、低発



熱化を実現できる。

本発明の第1実施形態、第2実施形態の情報処理端末システムによれば、低コスト化を実現できる。

本発明の第2実施形態の情報処理端末システムによれば、スループットの低下を防止する。

本発明の第1実施形態、第2実施形態の情報処理端末システムによれば、利用性（携帯性、経済性）が向上する。

本発明の第3実施形態の情報処理端末システムによれば、第1実施形態の効果に加えて、第2実施形態の効果も実現する。

本発明の第4実施形態の情報処理端末システムによれば、第3実施形態の効果に加えて、受信シンボルクロックに同期したシンボルクロックを、そのシンボルクロックの受け側の用途に合わせて変更できる。

本発明の第5実施形態の情報処理端末システムによれば、第3実施形態の効果に加えて、受信シンボルクロックがマイクロ波送受信部からマイクロプロセッサ信号処理部に出力されない状況でも、マイクロプロセッサ信号処理部内のマイクロプロセッサ信号処理回路（CPU）が常に動作する。

本発明の第6実施形態の情報処理端末システムによれば、第4実施形態の効果に加えて、搬送波を再生する搬送波再生回路と受信シンボルクロックを再生する受信シンボルクロック再生回路とを簡略化でき、再生された搬送波、受信シンボルクロックの位相雑音を改善することができる。

本発明の第7実施形態の情報処理端末システムによれば、第4実施形態の効果に加えて、受信シンボルクロック再生回路が不要になる。

本発明の第8実施形態の情報処理端末システムによれば、第7実施形態の効果に加えて、マイクロ波送受信部とマイクロプロセッサ信号処理部とが何らかの理由で分離された場合でも、マイクロプロセッサ信号処理部内のマイクロプロセッサ信号処理回路（CPU）が常に動作する。

#### 【図面の簡単な説明】

##### 【図1】

図1は、本発明の第1実施形態の情報処理端末システムの構成を示す。

**【図 2】**

図 2 は、本発明の第 2 実施形態の情報処理端末システムの構成を示す。

**【図 3】**

図 3 は、本発明の第 3 実施形態の情報処理端末システムの構成を示す。

**【図 4】**

図 4 は、本発明の第 4 実施形態の情報処理端末システムの構成を示す。

**【図 5】**

図 5 は、本発明の第 5 実施形態の情報処理端末システムの構成を示す。

**【図 6】**

図 6 は、本発明の第 6 実施形態の情報処理端末システムの構成を示す。

**【図 7】**

図 7 は、本発明の第 7 実施形態の情報処理端末システムの構成を示す。

**【図 8】**

図 8 は、本発明の第 8 実施形態の情報処理端末システムの構成を示す。

**【図 9】**

図 9 は、本発明の第 1 実施形態の情報処理端末システムの変形例を示す。

**【図 1 0】**

図 1 0 は、本発明の第 2 実施形態の情報処理端末システムの変形例を示す。

**【図 1 1】**

図 1 1 は、本発明の第 3 実施形態の情報処理端末システムの変形例を示す。

**【図 1 2】**

図 1 2 は、本発明の第 4 実施形態の情報処理端末システムの変形例を示す。

**【図 1 3】**

図 1 3 は、本発明の第 5 実施形態の情報処理端末システムの変形例を示す。

**【図 1 4】**

図 1 4 は、本発明の第 6 実施形態の情報処理端末システムの変形例を示す。

**【図 1 5】**

図 1 5 は、本発明の第 7 実施形態の情報処理端末システムの変形例を示す。

**【図 1 6】**

図 16 は、本発明の第 8 実施形態の情報処理端末システムの変形例を示す。

【図 17】

図 17 は、本発明の第 4' 実施形態の情報処理端末システムとして、第 4 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

【図 18】

図 18 は、本発明の第 5' 実施形態の情報処理端末システムとして、第 5 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

【図 19】

図 19 は、本発明の第 6' 実施形態の情報処理端末システムとして、第 6 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

【図 20】

図 20 は、本発明の第 7' 実施形態の情報処理端末システムとして、第 7 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

【図 21】

図 21 は、本発明の第 8' 実施形態の情報処理端末システムとして、第 8 実施形態の情報処理端末システムを第 2 実施形態の情報処理端末システムに適用した情報処理端末システムの構成を示す。

【図 22】

図 22 は、本発明の第 4' 実施形態の情報処理端末システムの変形例を示す。

【図 23】

図 23 は、本発明の第 5' 実施形態の情報処理端末システムの変形例を示す。

【図 24】

図 24 は、本発明の第 6' 実施形態の情報処理端末システムの変形例を示す。

【図 25】

図 25 は、本発明の第 7' 実施形態の情報処理端末システムの変形例を示す。

## 【図 26】

図 26 は、本発明の第 8' 実施形態の情報処理端末システムの変形例を示す。

## 【図 27】

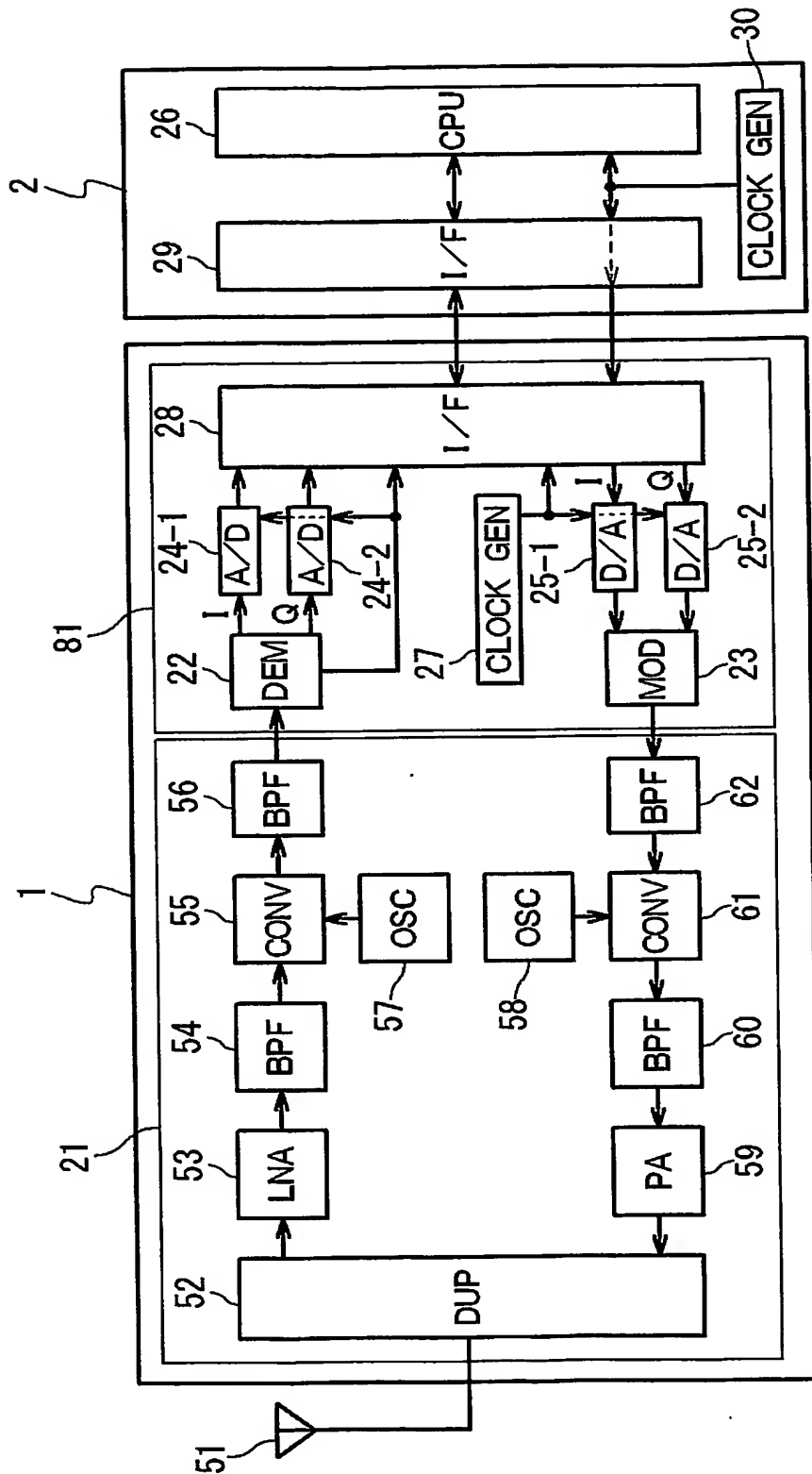
図 27 は、第 2 従来例の情報処理端末システムの構成を示す。

## 【符号の説明】

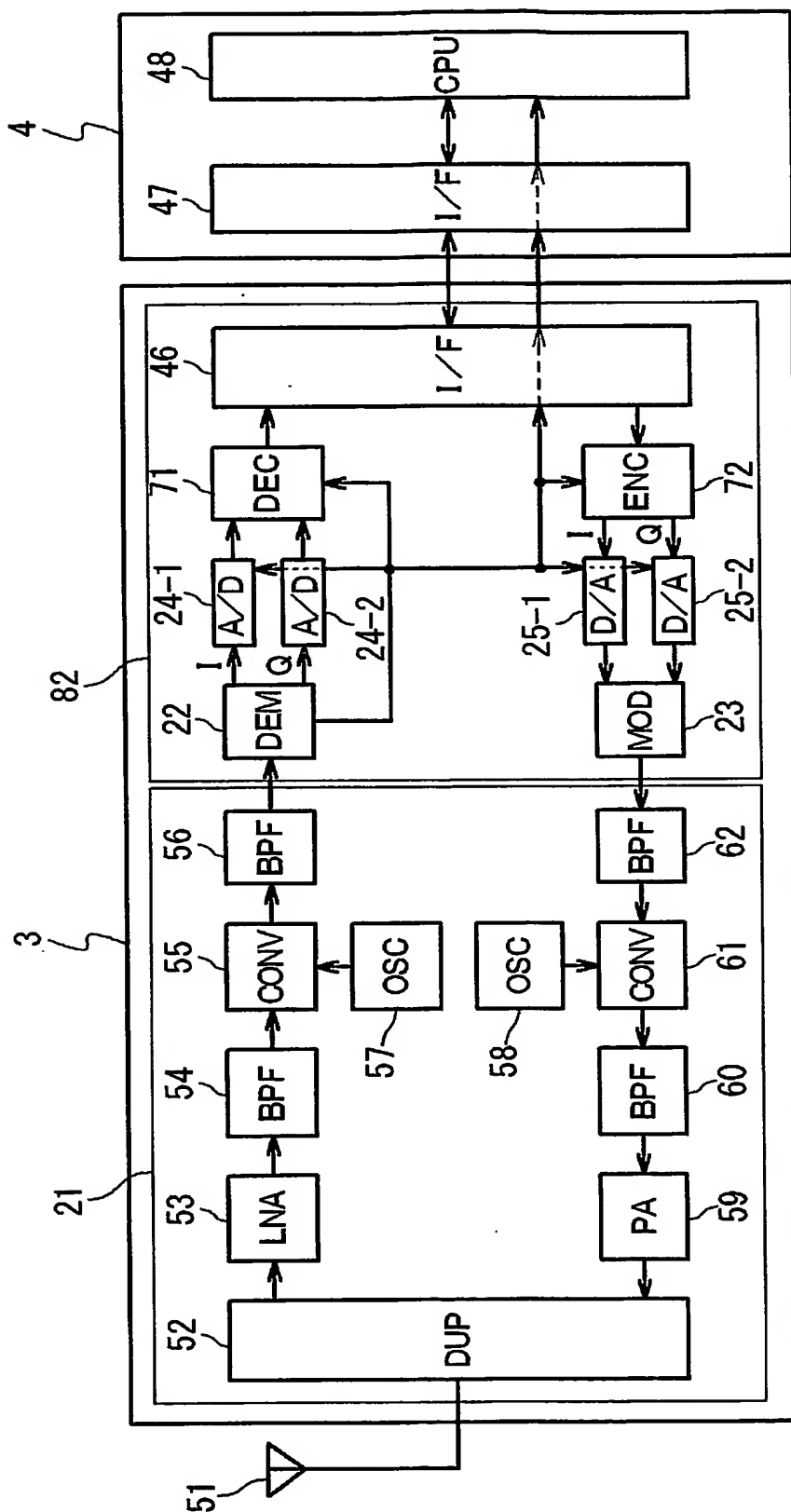
- 1、3、5、7、9、11、13、15、17      マイクロ波送受信部  
2、4、6、10、10'、16、16'、18      マイクロプロセッサ信号処理部  
21、37      高周波処理部  
22、38、42、70      復調器  
23      変調器  
24-1、24-2      A/D変換器  
25-1、25-2      D/A変換器  
26、48、75      マイクロプロセッサ信号処理回路  
27、30、33、35、36、39、41、43      クロック発生器  
28、29、31、34、46、47、73、74、101~104      インタフェース  
40、55、61      周波数変換器  
51      アンテナ  
52      デュープレクサ  
53      低雑音増幅器  
54、56、60、62      帯域通過フィルター  
57、58      局部発振器  
59      電力増幅器  
71      復号器  
72      符号器  
81、82、83、84、84'、85、85'、86、86'、87、87'、88、88'      変復調処理部

【書類名】 図面

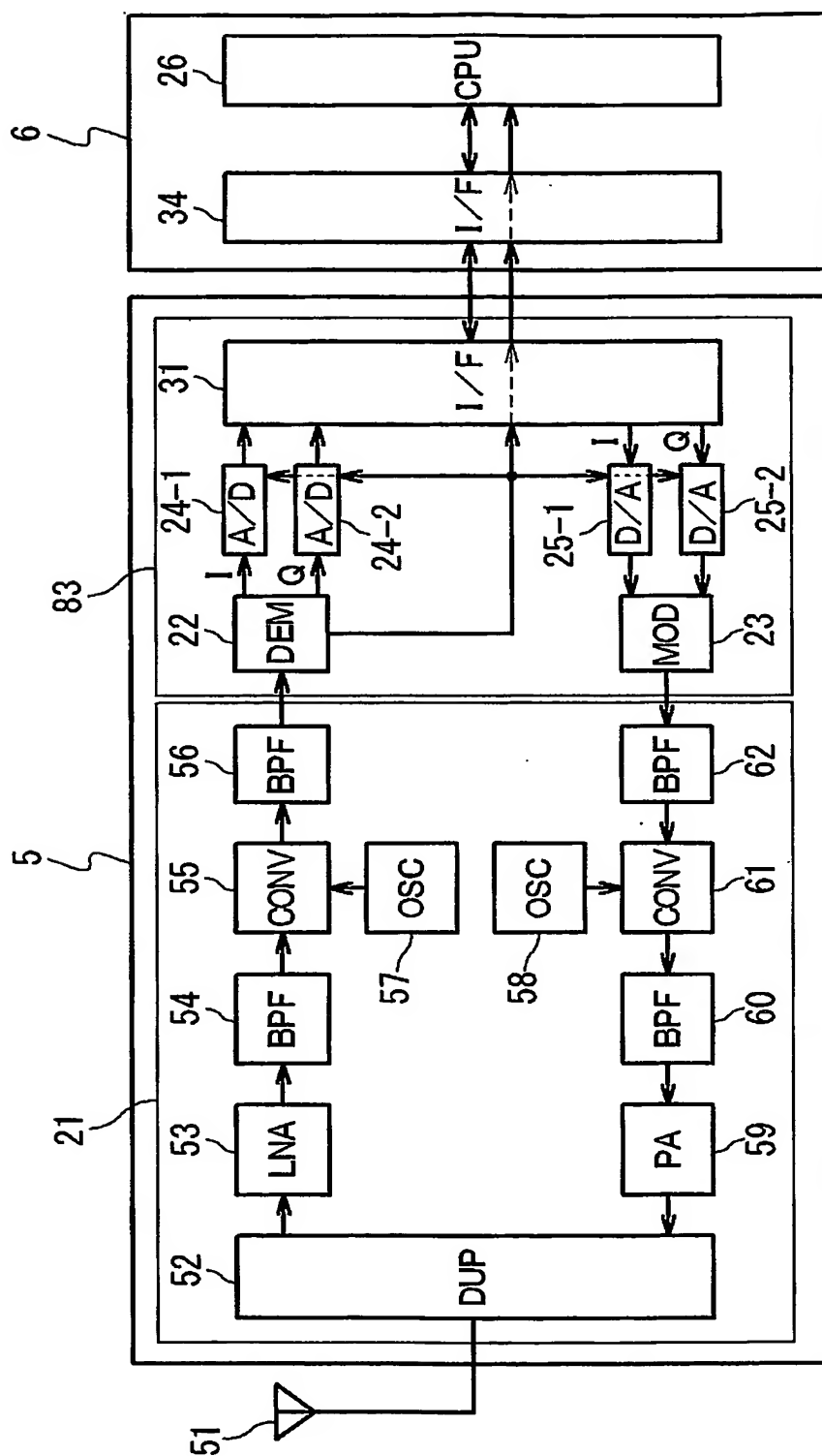
【図 1】



【図 2】

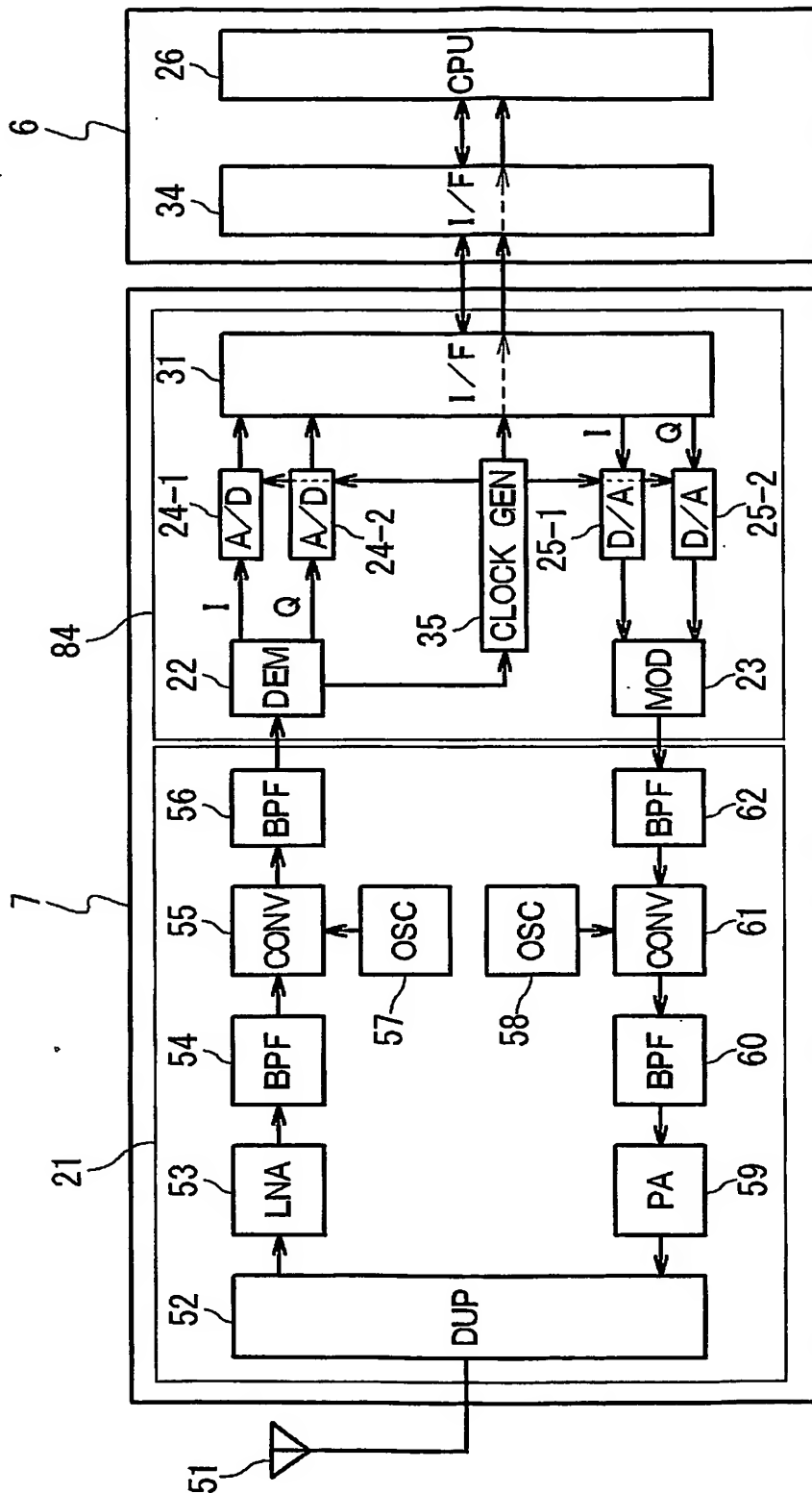


【図 3】

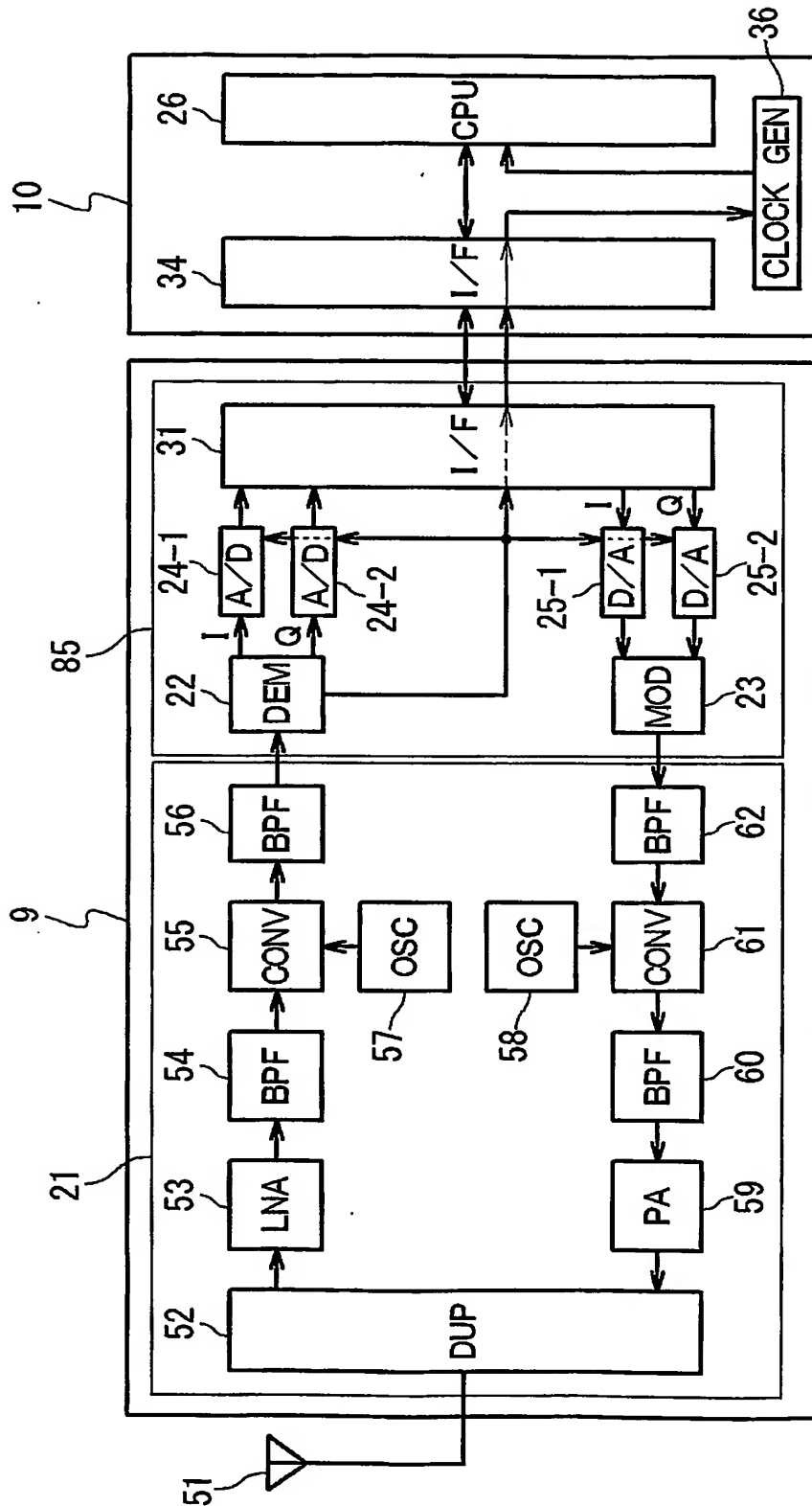




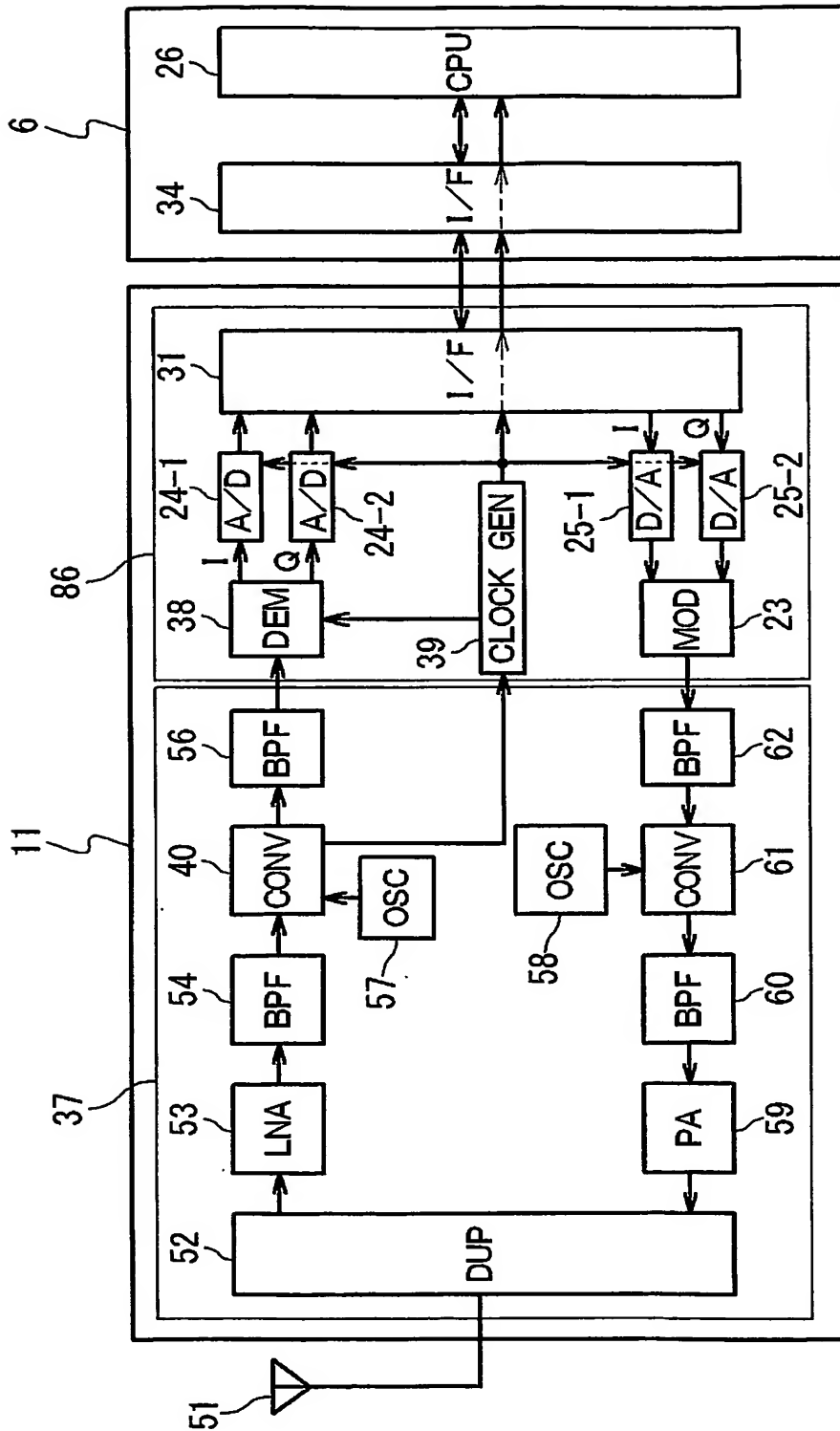
【図 4】



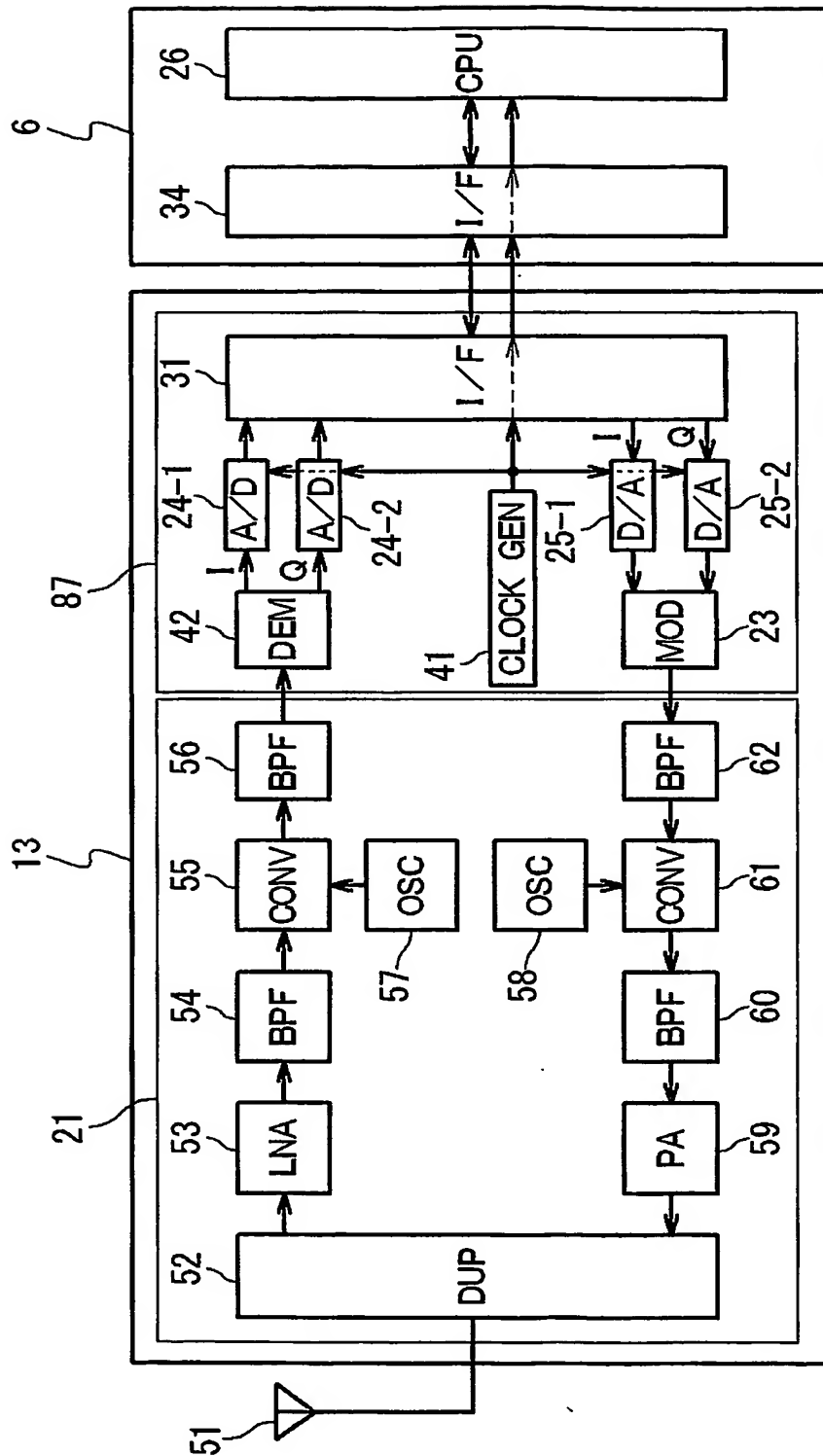
【図 5】



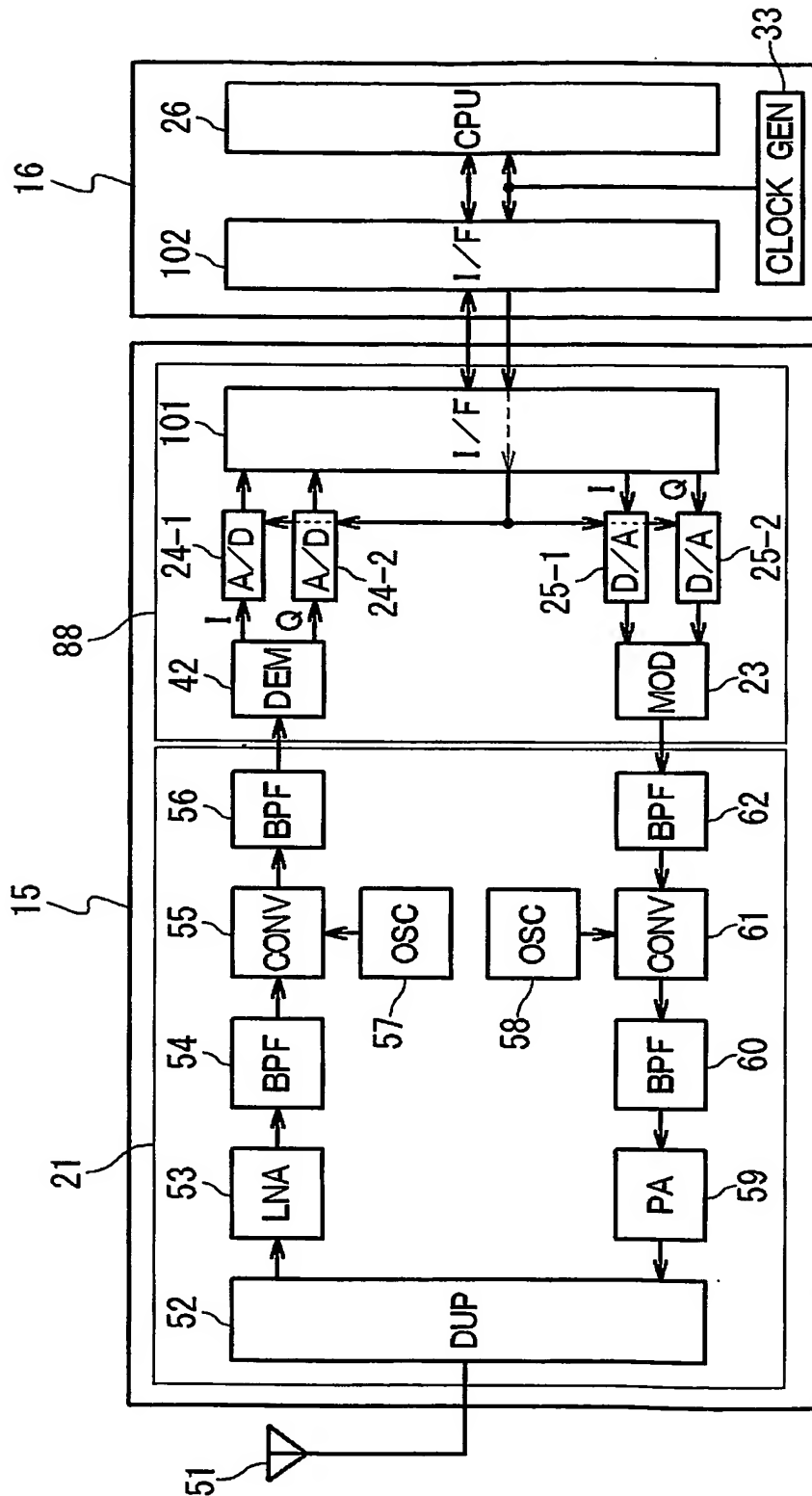
【図 6】



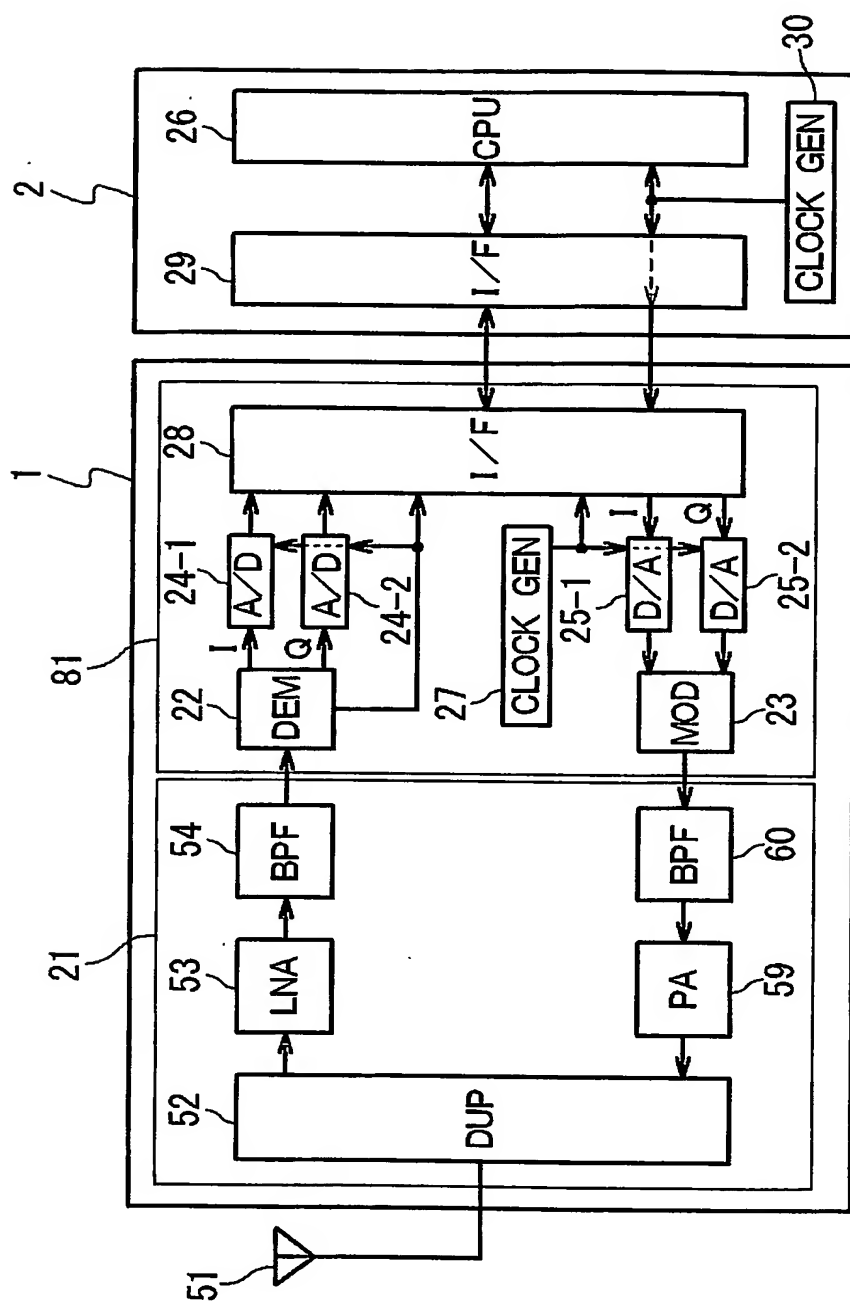
【図 7】



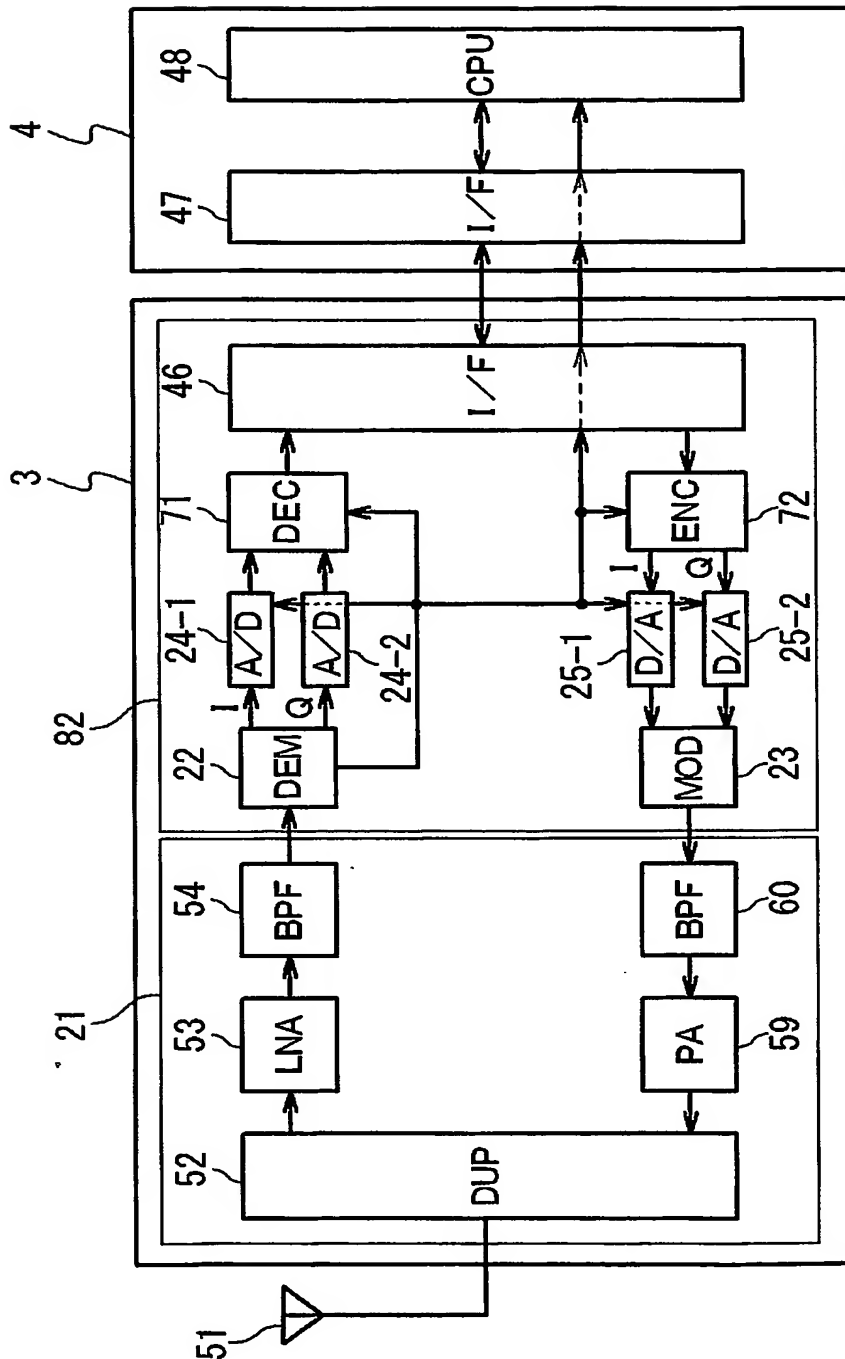
【图 8】



【図 9】



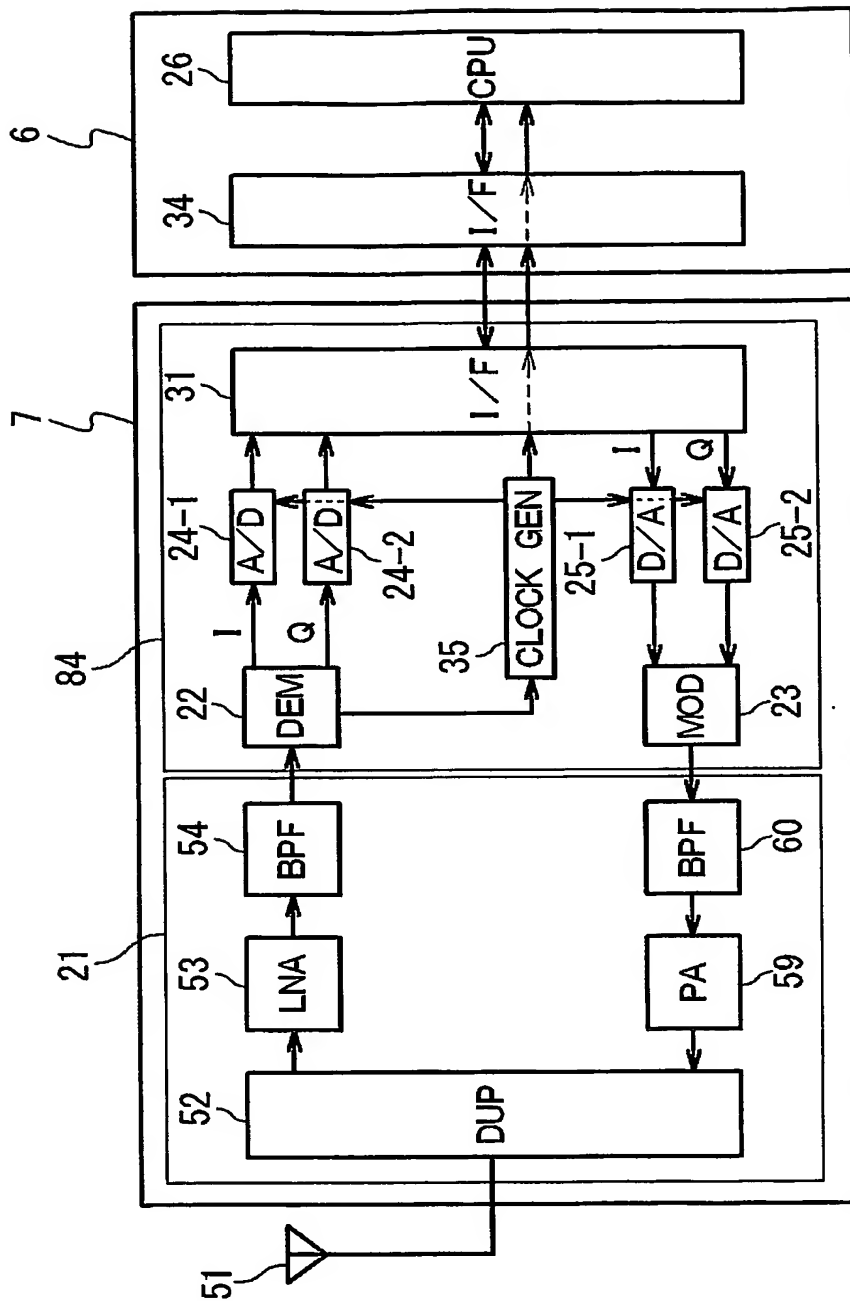
【図10】



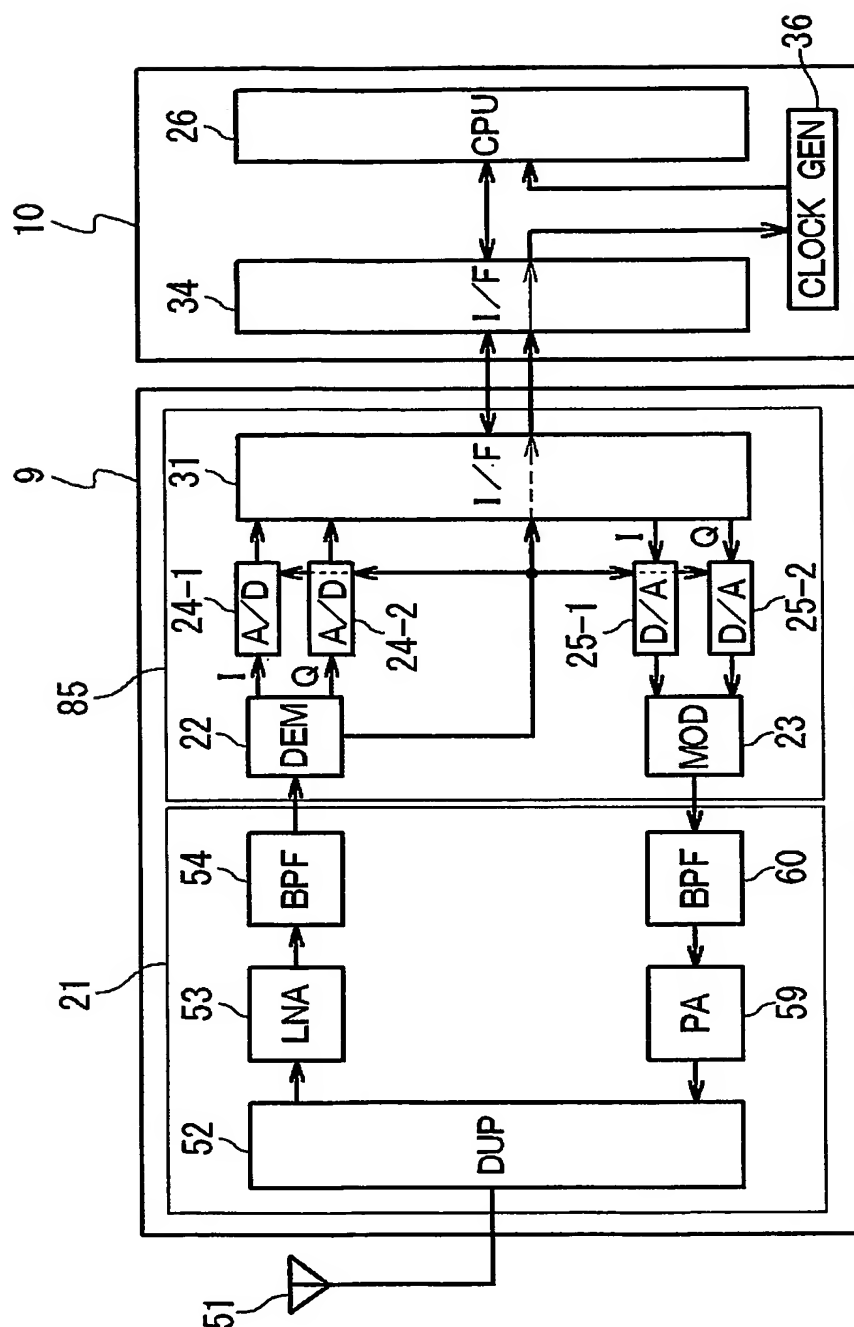




【図 12】

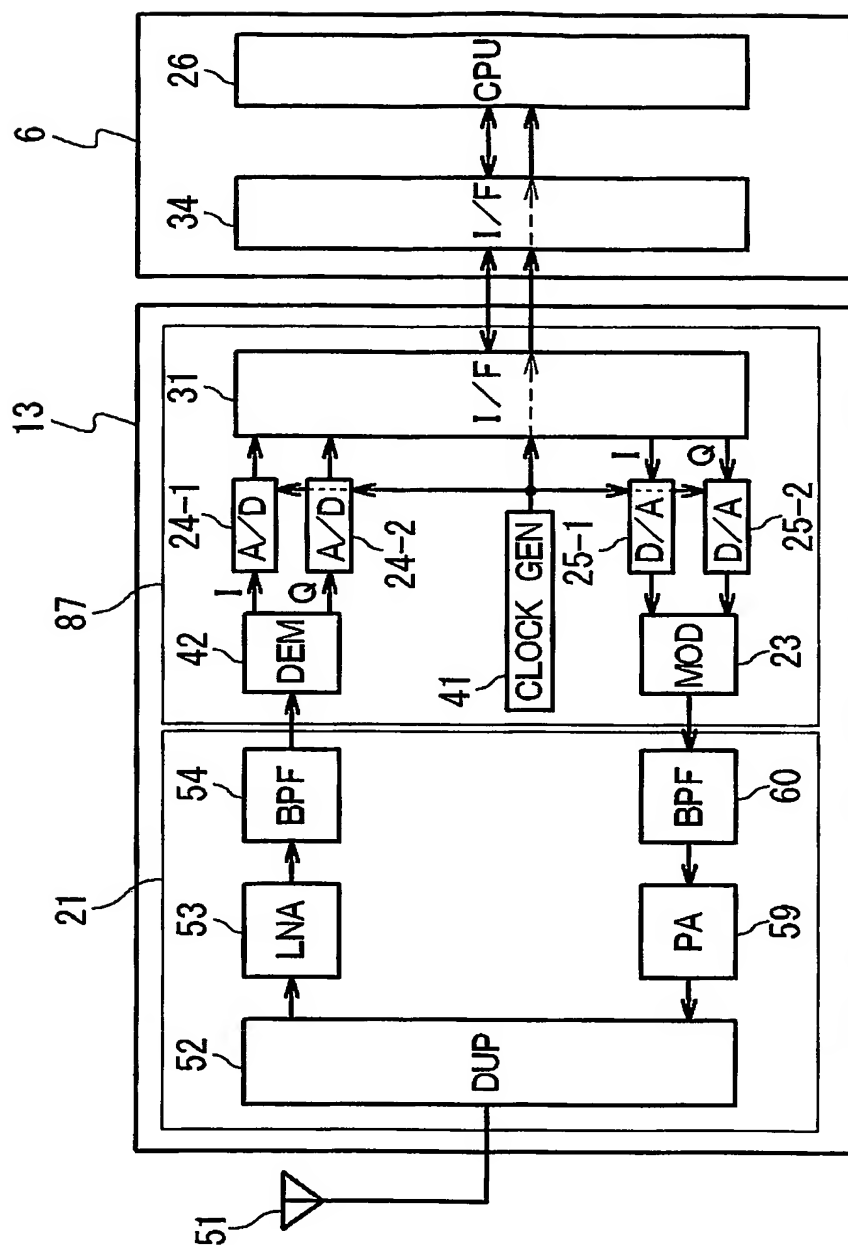


【図13】

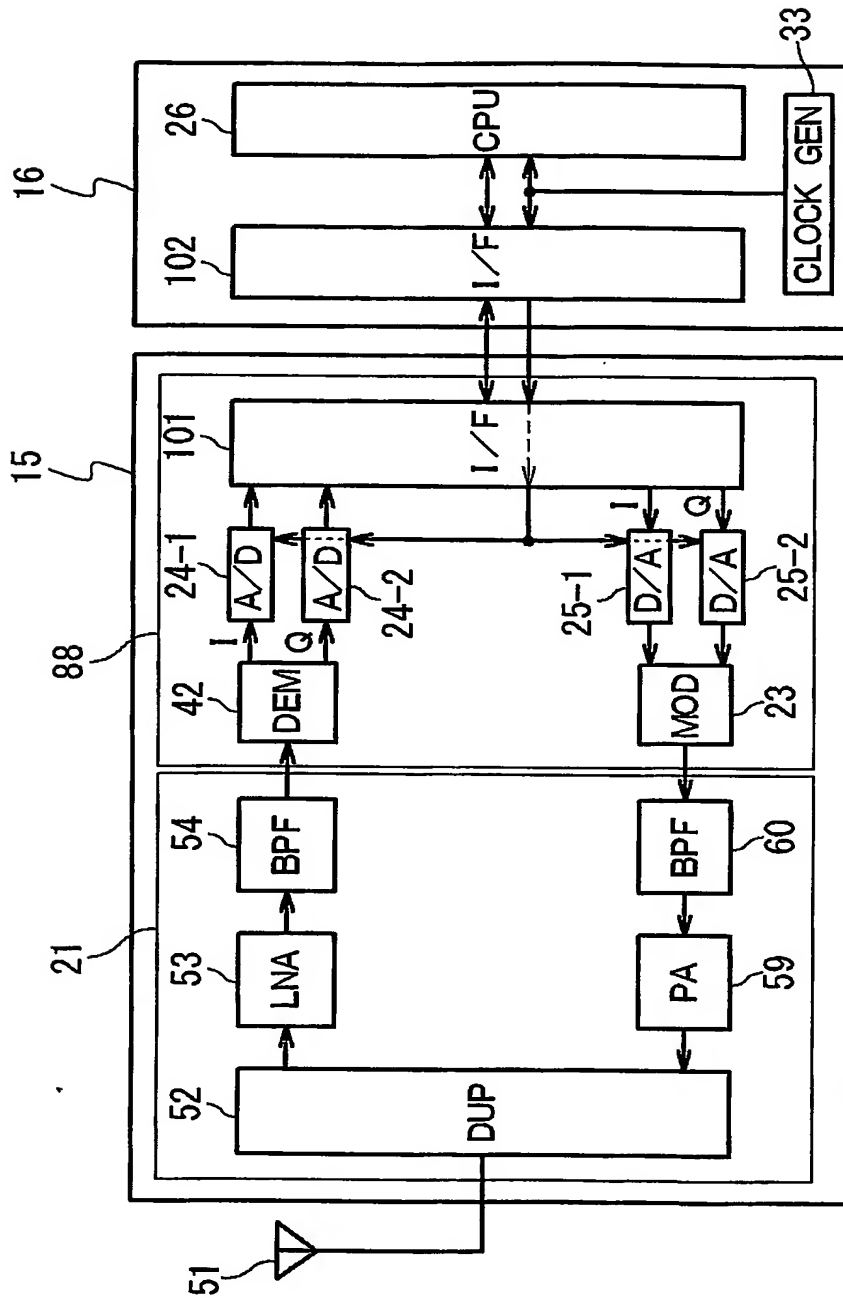




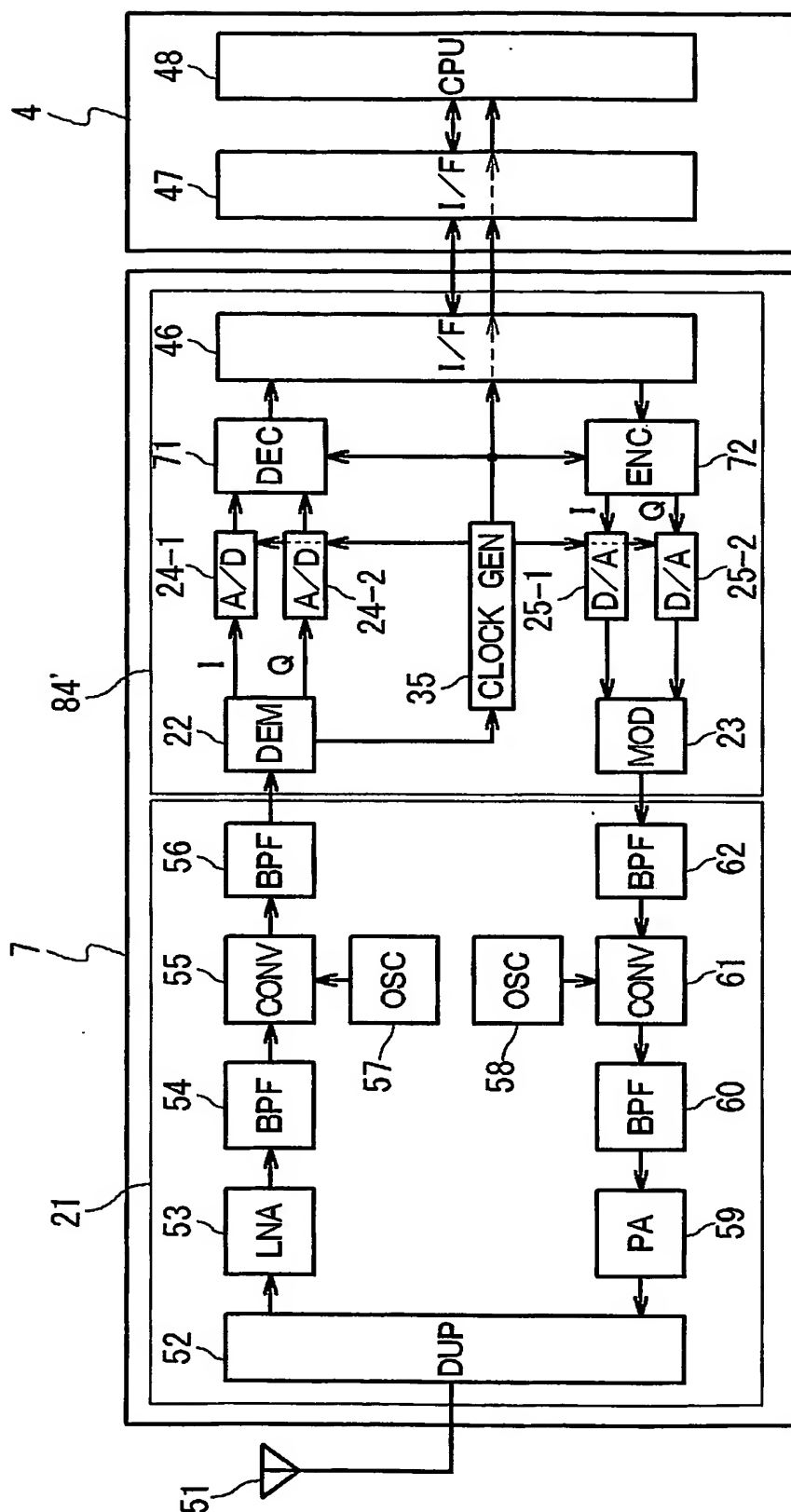
【図 15】



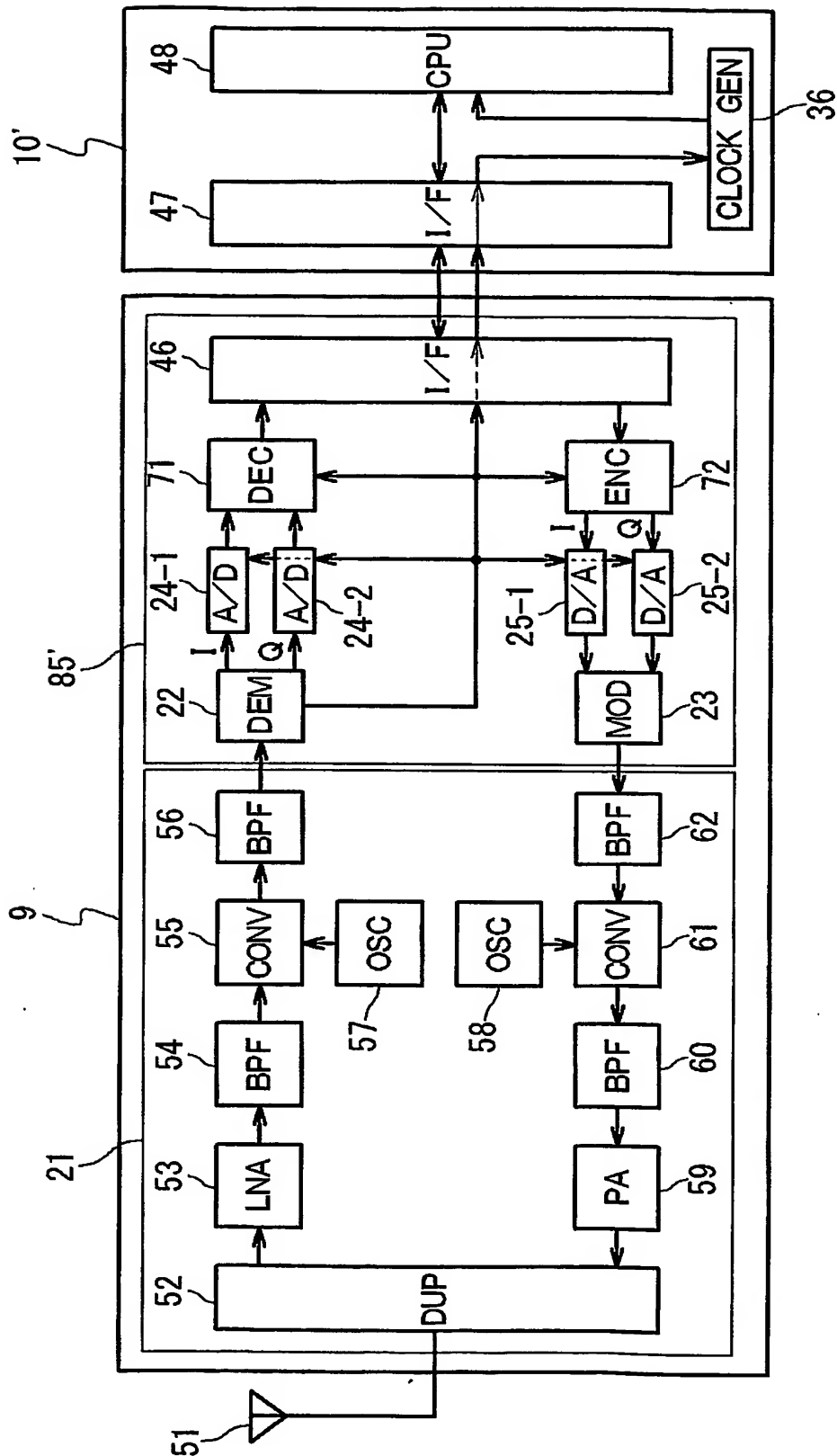
【図 16】



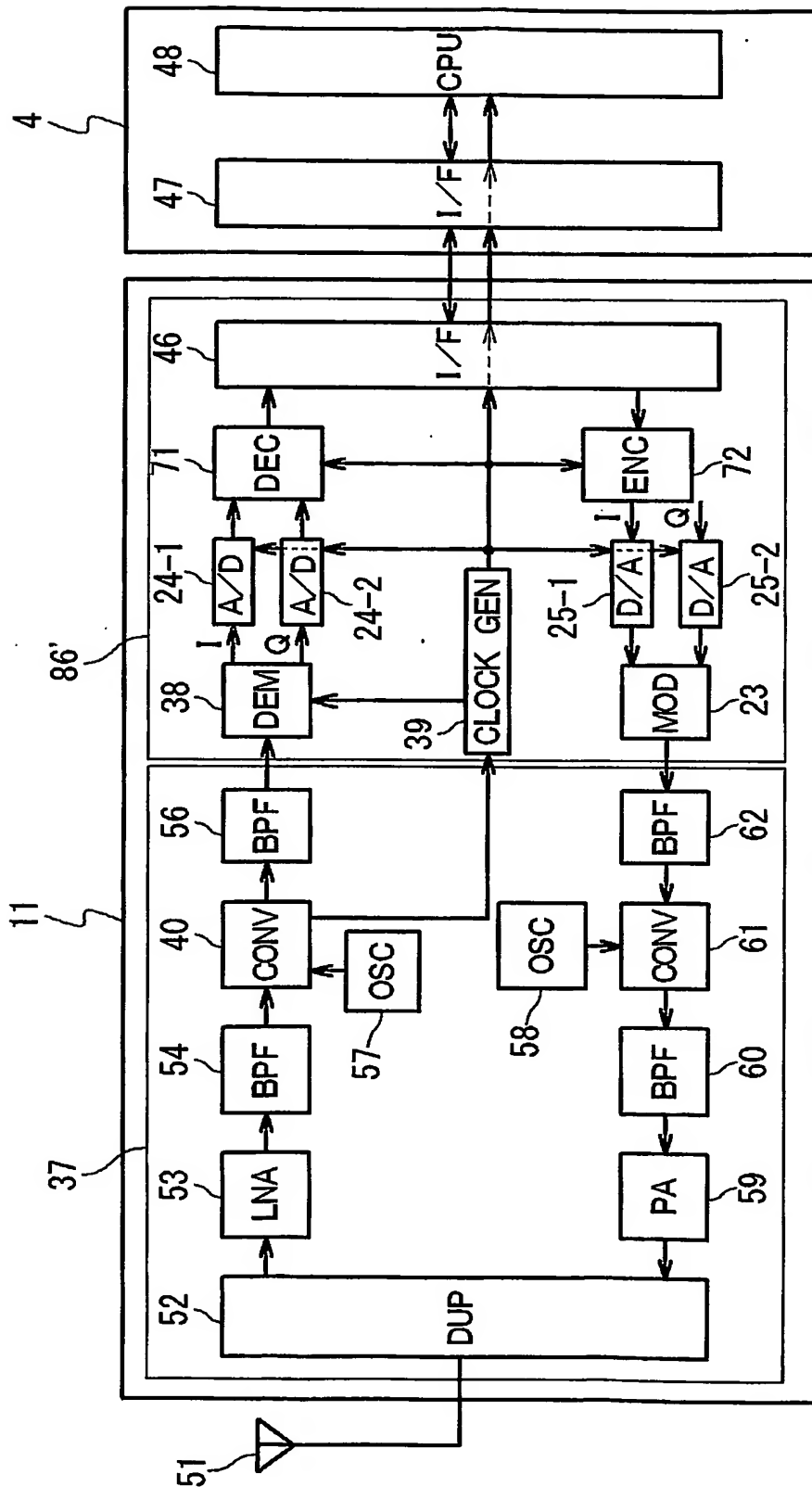
【図 17】



【図 18】

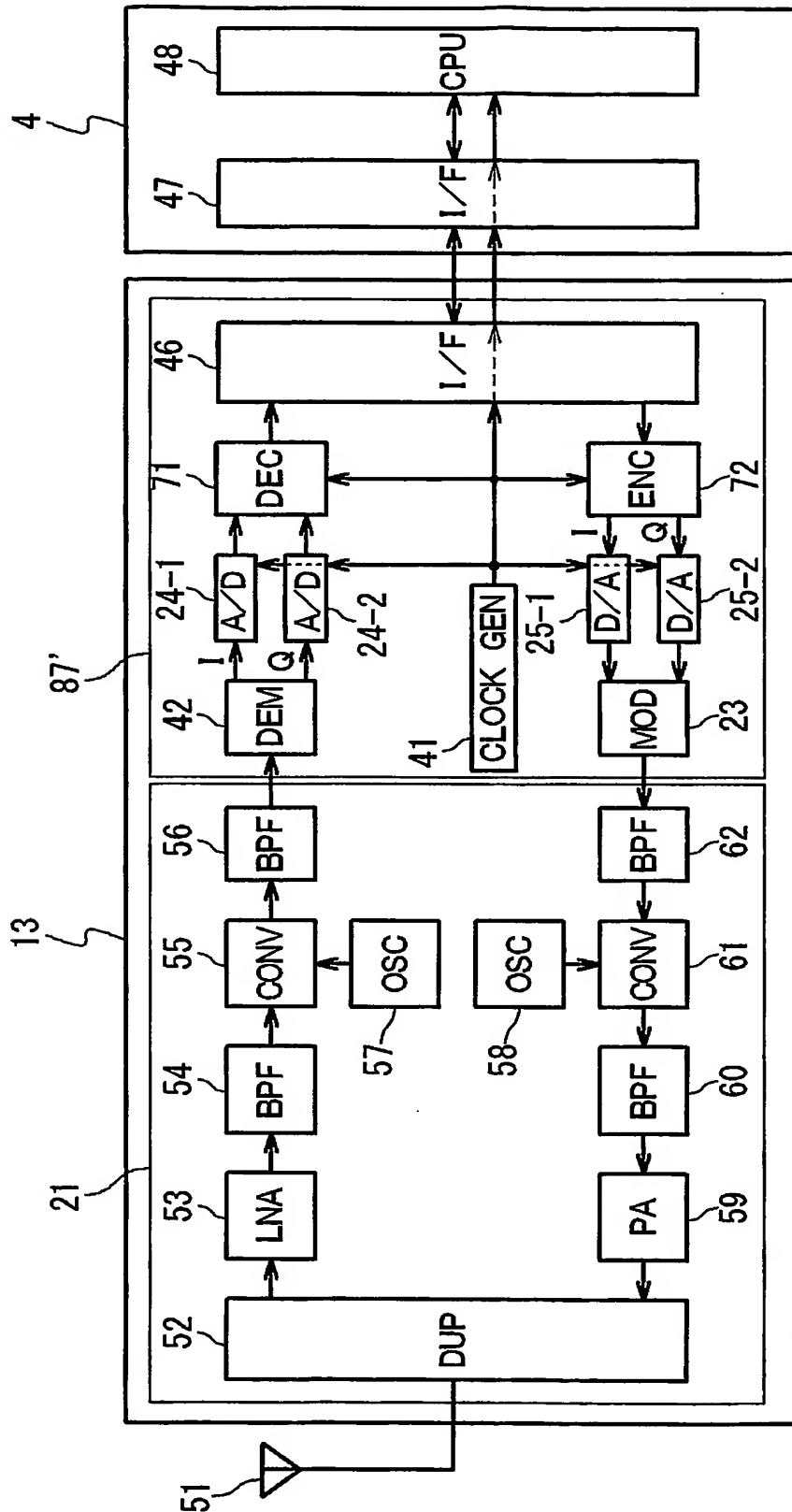


【図19】

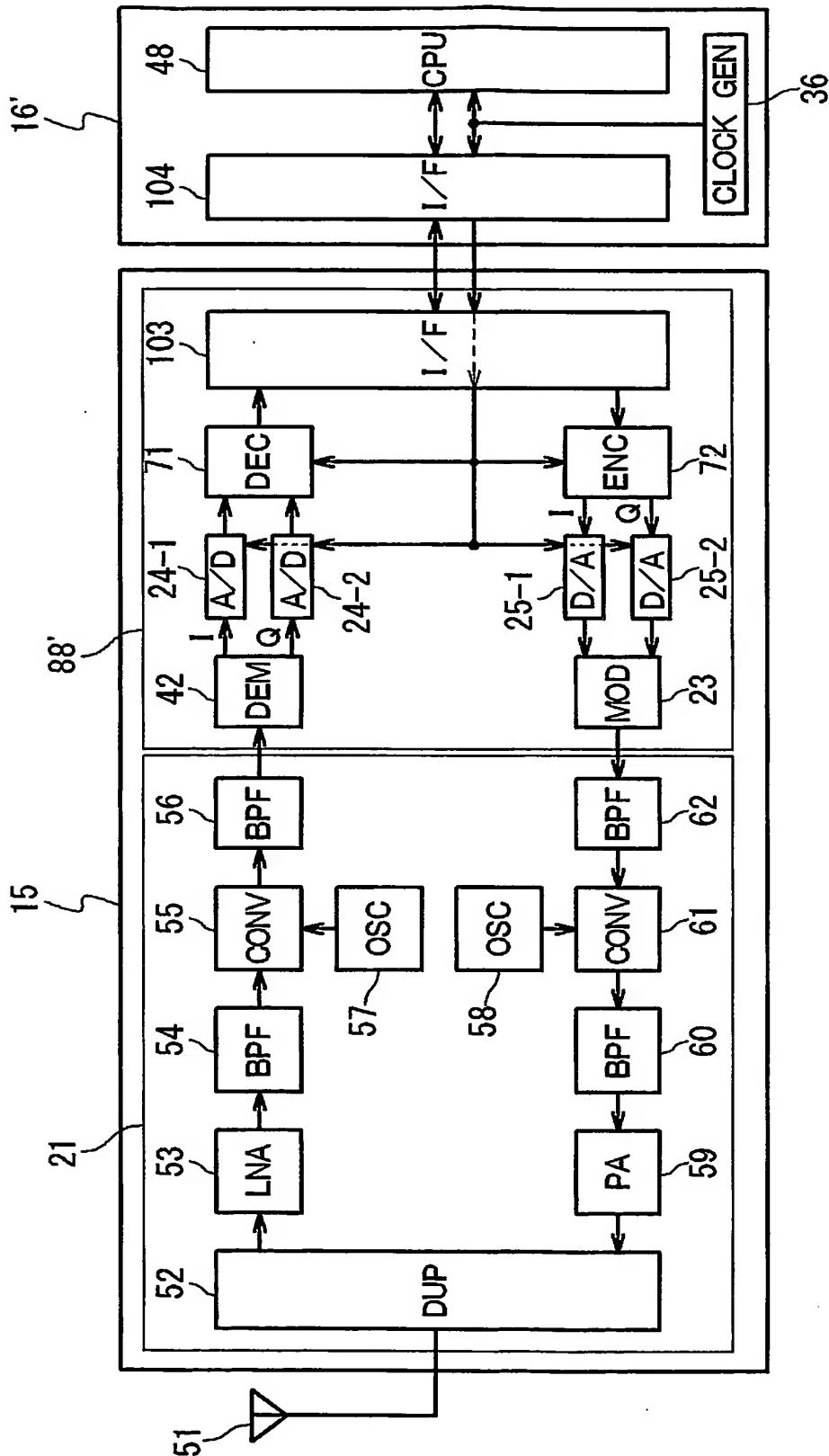




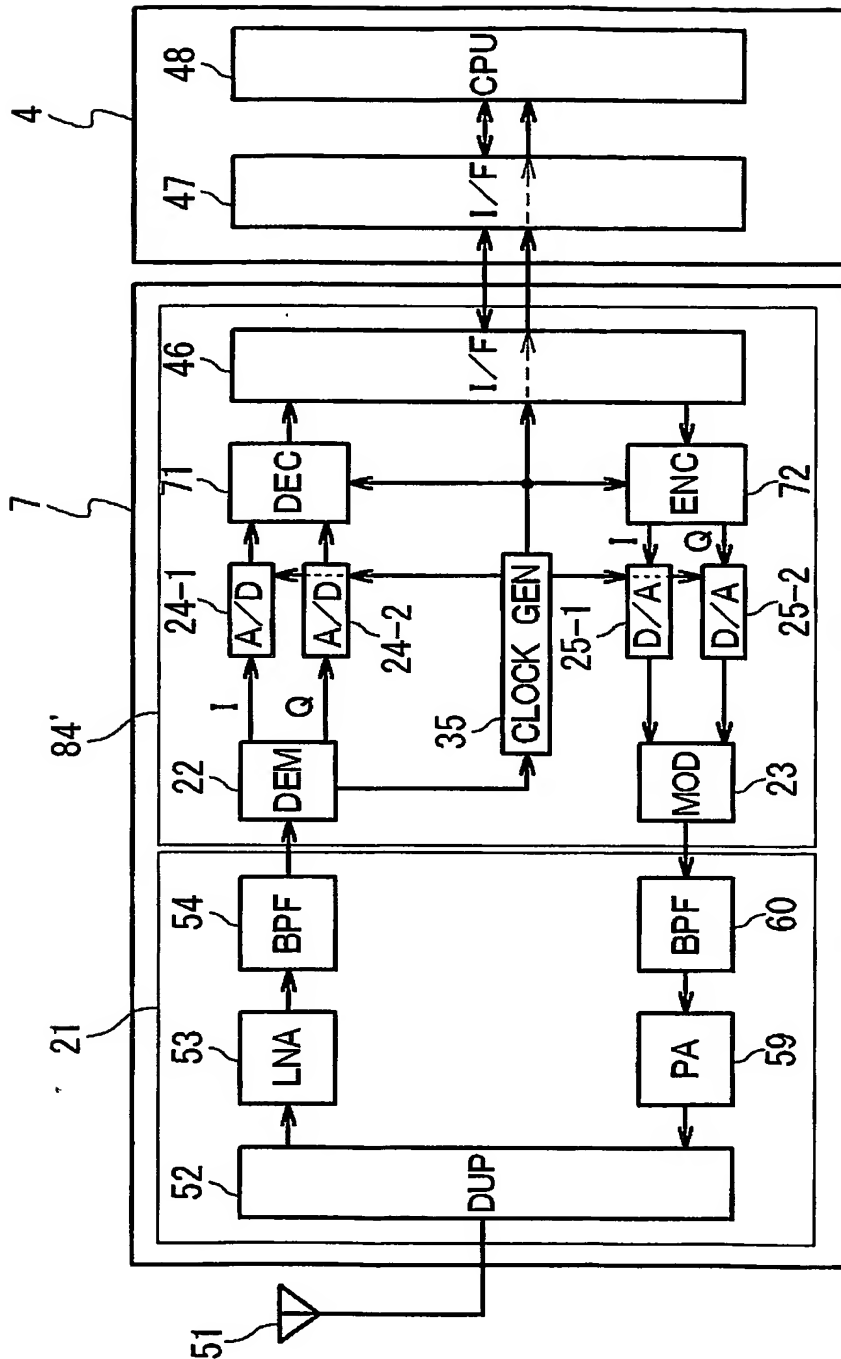
【図 20】



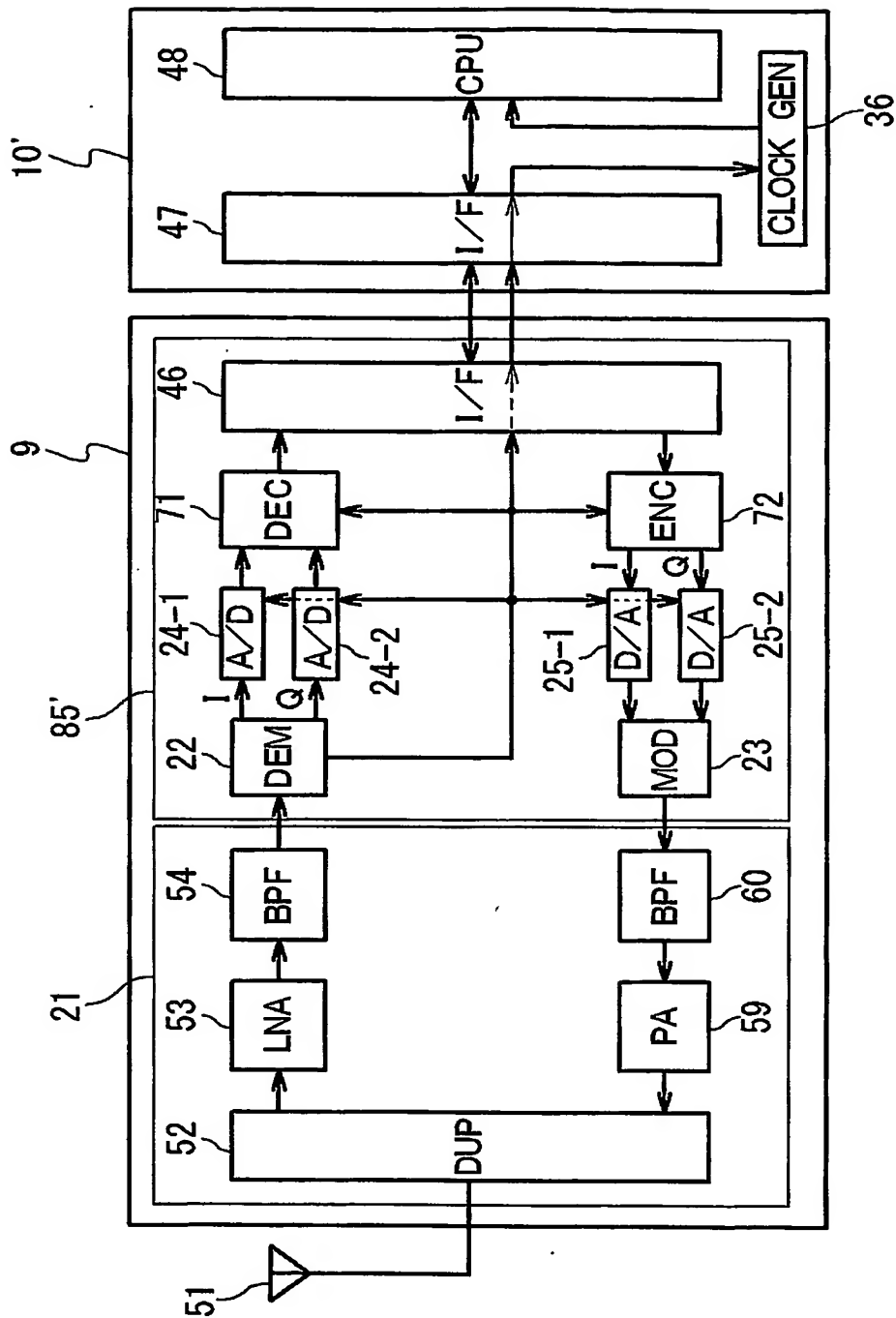
【図 21】



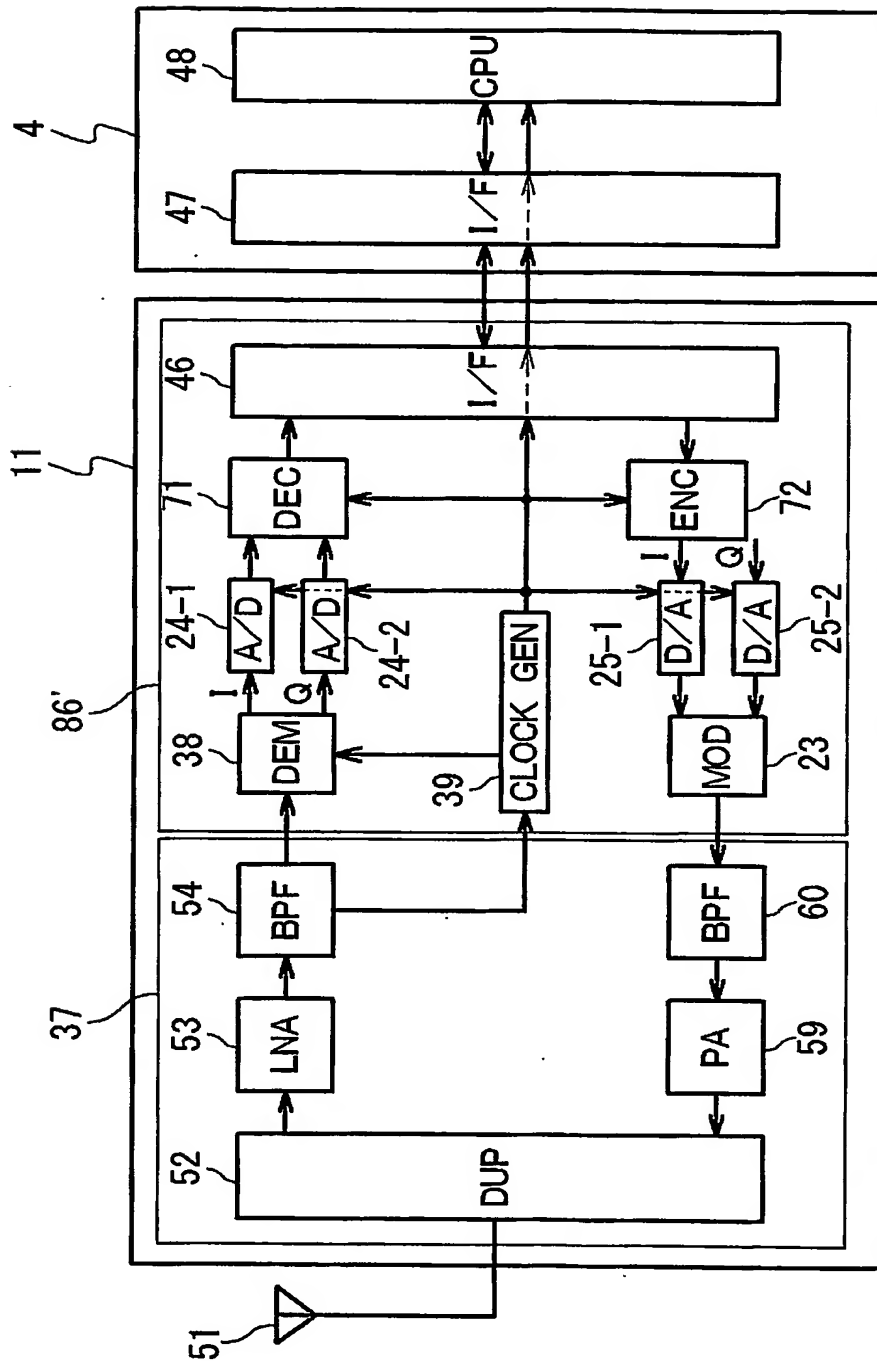
【図 22】



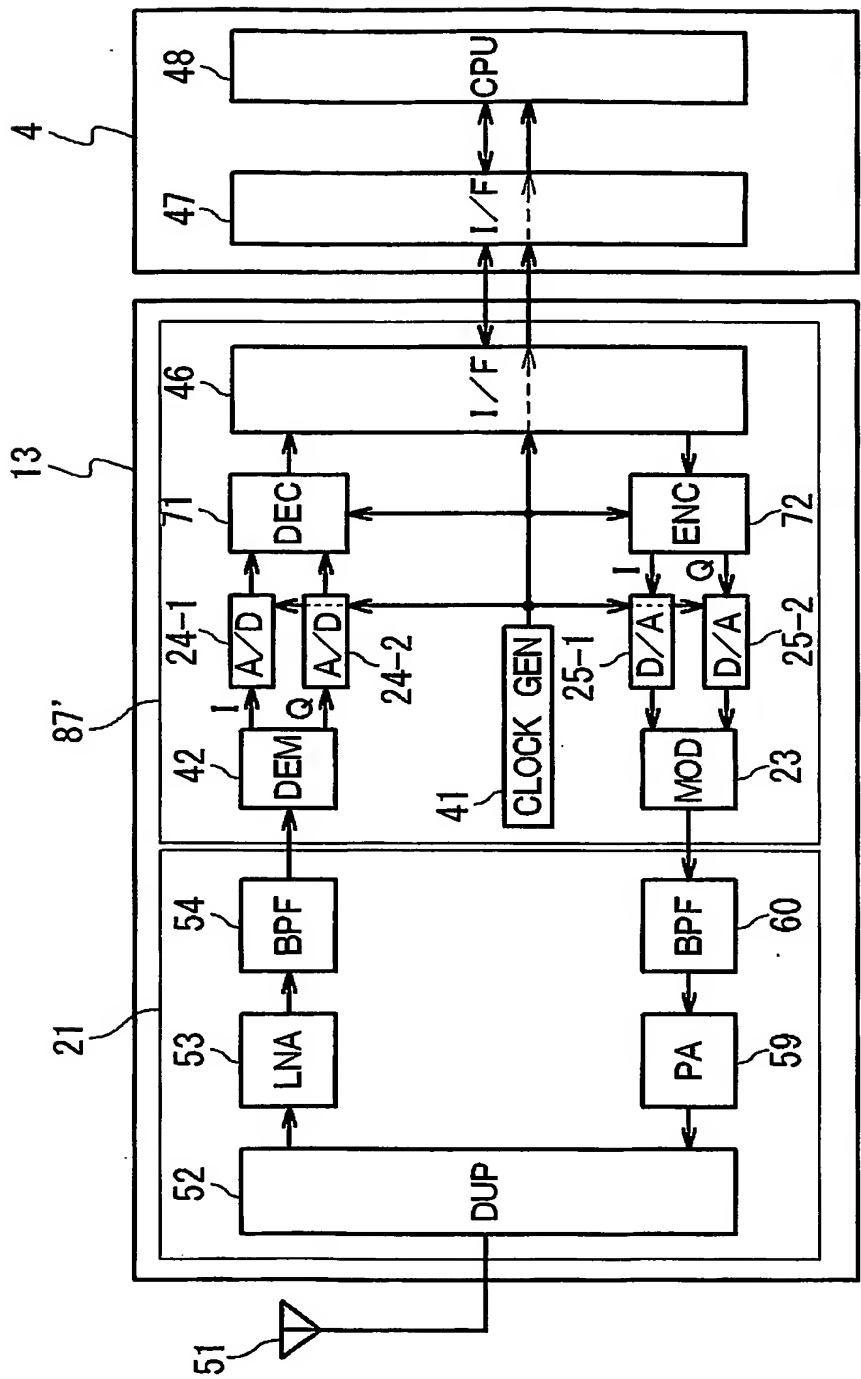
【図 23】



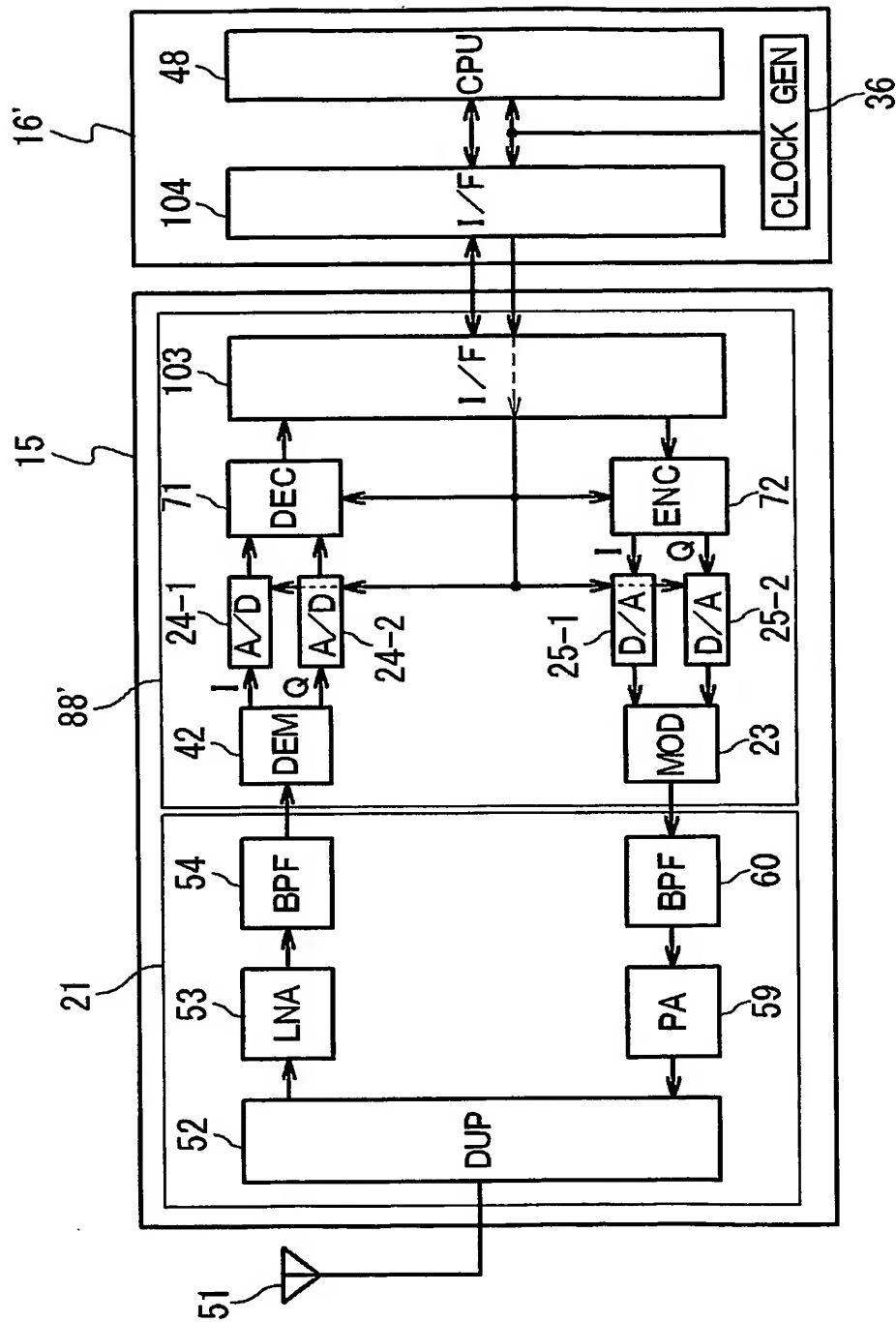
【図 24】



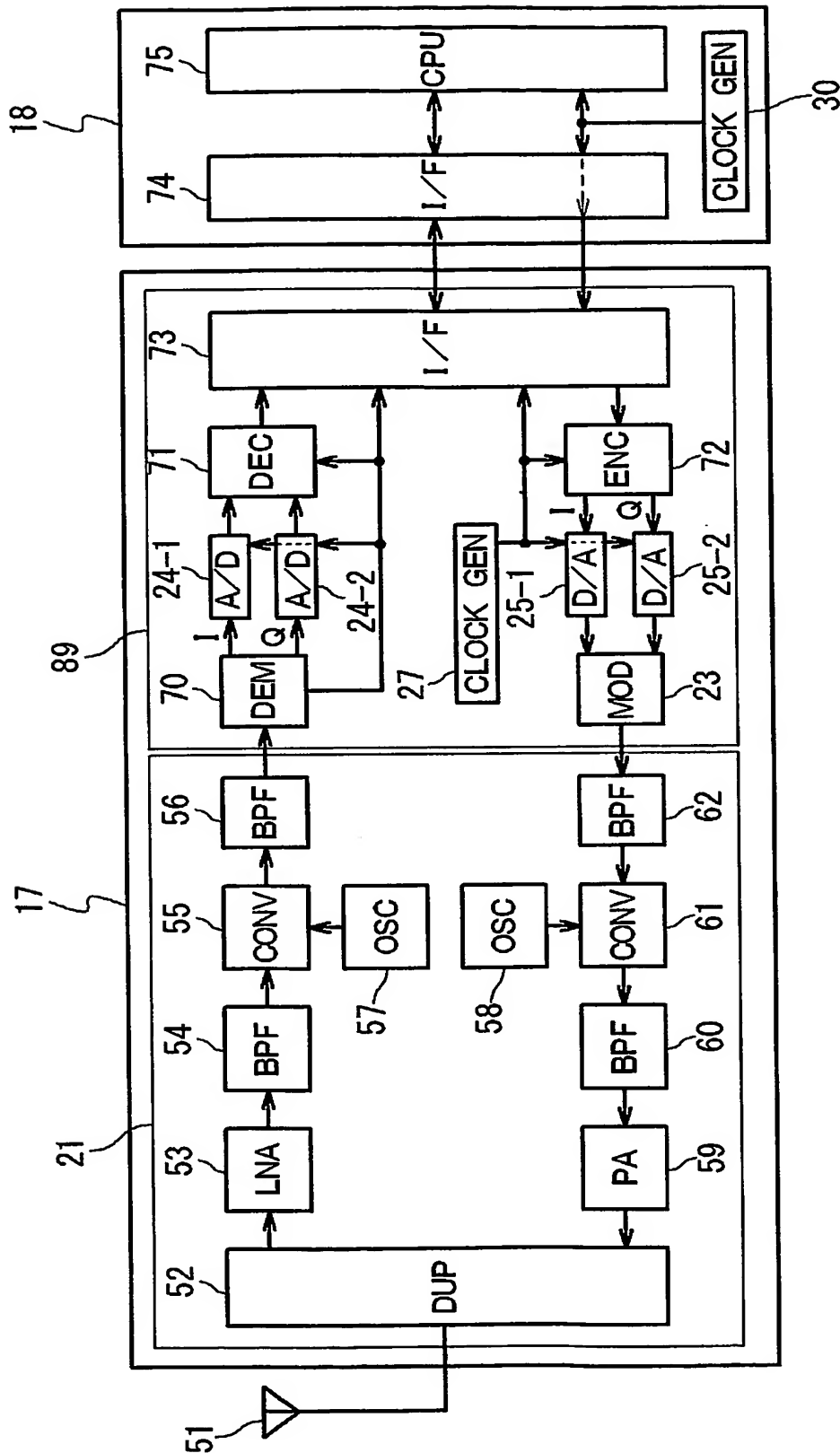
【図 25】



【図 26】



【図 27】





【書類名】 要約書

【要約】

【課題】 利用性が向上する情報処理端末システムを提供すること

【解決手段】 情報処理端末（６）には送受信装置（５）が装着される。送受信装置（５）は、ネットワークからの受信変調波信号を復調し、復調された受信変調波信号を受信アナログベースバンド信号に変換する。送受信装置（５）は、変換された受信アナログベースバンド信号をクロックに同期して受信デジタルベースバンド信号に変換する。情報処理端末（６）は、変換された受信デジタルベースバンド信号をクロックに同期して受信データに変換し、送信データをクロックに同期して送信デジタルベースバンド信号に変換する。送受信装置（５）は、変換された送信デジタルベースバンド信号をクロックに同期して送信アナログベースバンド信号に変換する。送受信装置（５）は、変換された送信アナログベースバンド信号を送信変調波信号に変換し、変換された送信変調波信号をネットワークに送出する。

【選択図】 図３

特願 2003-098295

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住所

東京都港区芝五丁目7番1号

氏名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**